

#3
KWS
10-26-01
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Application of

Atty. Dkt.: Q63945

Hiroki KOIKE

Appln. No.: 09/824,751

Group Art Unit: 2818

Confirmation No.: 9722

Examiner: Unknown

Filed: April 04, 2001

For: SEMICONDUCTOR MEMORY DEVICE AND TESTING SYSTEM AND TESTING METHOD

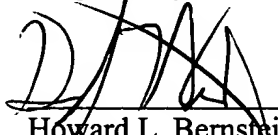
SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of Japanese Patent Application No. 2000-103568, the priority document on which a claim to priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

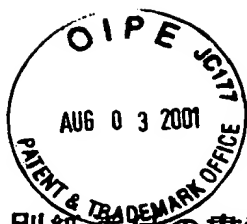
Respectfully submitted,


Howard L. Bernstein
Registration No. 25,665

SUGHRUE, MION, ZINN,
MACPEAK & SEAS, PLLC
2100 Pennsylvania Avenue, N.W.
Washington, D.C. 20037-3213
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

Enclosures: Japanese Patent Application No. 2000-103568

Date: August 3, 2001



日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

Koike
App n 09/824,751
Q63945
1 of 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 4月 5日

出 願 番 号
Application Number:

特願2000-103568

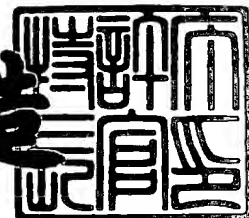
出 願 人
Applicant(s):

日本電気株式会社

2001年 3月23日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3023275

【書類名】 特許願

【整理番号】 34001963

【提出日】 平成12年 4月 5日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00

【発明の名称】 半導体記憶装置並びにその試験装置および試験方法

【請求項の数】 10

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 小池 洋紀

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100108578

 【弁理士】

 【氏名又は名称】 高橋 詔男

【代理人】

 【識別番号】 100064908

 【弁理士】

 【氏名又は名称】 志賀 正武

【選任した代理人】

 【識別番号】 100101465

 【弁理士】

 【氏名又は名称】 青山 正和

【選任した代理人】

 【識別番号】 100108453

 【弁理士】

 【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709418

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置並びにその試験装置および試験方法

【特許請求の範囲】

【請求項 1】 メモリセルがマトリックス状に配列されてなるメモリセルアレイと、

前記メモリセルアレイの各行を選択するための複数のワード線と、

前記メモリセルアレイの各列に属するメモリセルから出力されるデータ信号を伝達するための複数のビット線と、

前記ビット線上に現れたデータ信号を増幅する際の基準となる参照信号を生成する参照信号生成系と、

前記ビット線上に現れたデータ信号を前記参照信号と比較して増幅するための増幅系と、

を含んで構成された半導体記憶装置において、

装置外部から指定された電位を前記参照信号の電位として設定する参照電位設定回路系を備えたことを特徴とする半導体記憶装置。

【請求項 2】 前記参照電位設定回路系は、

前記参照信号が現れる配線となる前記メモリセルアレイ内のビット線にドレイン端子が接続され、装置外部から指定された前記電位がソース端子に供給され、ビット線電位の測定時に活性化される制御信号がゲート端子に供給されたトランジスタを備えたことを特徴とする請求項 1 に記載された半導体記憶装置。

【請求項 3】 メモリセルがマトリックス状に配列されてなるメモリセルアレイと、前記メモリセルアレイの各行を選択するための複数のワード線と、前記メモリセルアレイの各列に属するメモリセルから出力されるデータ信号を伝達するための複数のビット線と、前記ビット線上に現れたデータ信号を増幅する際の基準となる参照信号を生成する参照信号生成系と、前記ビット線上に現れたデータ信号を前記参照信号と比較して増幅するための増幅系と、装置外部から指定された電位を前記参照信号の電位として設定する参照電位設定回路系とを含んで構成された半導体記憶装置を試験するための試験装置において、

一方向に変化させながら電源電位と接地電位との間の電位を発生して前記参照

電位設定回路系に与え、前記参照信号の電位を制御する参照信号制御系と、

アドレスを発生して前記半導体記憶装置に与え、前記メモリセルからデータ信号を読み出すための一連の動作を制御する制御系と、

前記増幅系により増幅されたデータ信号の論理値を判定する判定系と、

前記判定系により判定された論理値が反転する際の前記参照信号の電位の値を記憶する記憶系と、

前記記憶系に記憶された前記電位の値を統計処理する統計処理系と、

を備えたことを特徴とする試験装置。

【請求項 4】 請求項 3 に記載された制御系と判定系と記憶系と統計処理系とにより実現される機能の全部または一部をさらに備えたことを特徴とする請求項 1 ないし 3 の何れかに記載された半導体記憶装置。

【請求項 5】 メモリセルがマトリックス状に配列されてなるメモリセルアレイと、前記メモリセルアレイの各行を選択するための複数のワード線と、前記メモリセルアレイの各列に属するメモリセルから出力されるデータ信号を伝達するための複数のビット線と、前記ビット線上に現れたデータ信号を増幅する際の基準となる参照信号を生成する参照信号生成系と、前記ビット線上に現れたデータ信号を前記参照信号と比較して増幅するための増幅系と、装置外部から指定された電位を前記参照信号の電位として設定する参照電位設定回路系とを含んで構成された半導体記憶装置を試験するための試験方法において、

(a) 前記参照電位設定回路系により前記参照信号の電位を設定するステップと、

(b) 前記メモリセルから前記ビット線上にデータ信号を読み出すステップと、

(c) 前記増幅系により比較される前記参照信号とデータ信号と間の電位の大小関係を比較して該大小関係が反転する際の前記参照信号の電位を取得するステップと、

を含むことを特徴とする試験方法。

【請求項 6】 メモリセルがマトリックス状に配列されてなるメモリセルアレイと、前記メモリセルアレイの各行を選択するための複数のワード線と、前記

メモリセルアレイの各列に属するメモリセルから出力されるデータ信号を伝達するための複数のビット線と、前記ビット線上に現れたデータ信号を増幅するための増幅系と、を含んで構成された半導体記憶装置において、

前記ビット線上に読み出されたデータ信号を取り込んで保持する信号保持回路を備えたことを特徴とする半導体記憶装置。

【請求項 7】 前記信号保持回路は、サンプルホールド回路からなることを特徴とする請求項 6 に記載された半導体記憶装置。

【請求項 8】 メモリセルがマトリックス状に配列されてなるメモリセルアレイと、前記メモリセルアレイの各行を選択するための複数のワード線と、前記メモリセルアレイの各列に属するメモリセルから出力されるデータ信号を伝達するための複数のビット線と、前記ビット線上に現れたデータ信号を増幅するための増幅系と、前記ビット線上の信号を取り込んで保持する信号保持回路とを含んで構成された半導体記憶装置を試験するための試験装置において、

アドレスを発生して前記半導体記憶装置に与え、前記メモリセルからデータ信号を読み出すための一連の動作を制御する第 1 の制御系と、

前記ビット線上に読み出されたデータ信号を前記信号保持回路に取り込ませるための制御を行う第 2 の制御系と、

前記信号保持回路に取り込まれたデータ信号を A/D 変換する変換系と、

前記データ変換系により A/D 変換されたデータを記憶する記憶系と、

前記記憶系に記憶されたデータを統計処理する統計処理系と、

を備えたことを特徴とする試験装置。

【請求項 9】 請求項 8 に記載された第 1 および第 2 の制御系と変換系と記憶系と統計処理系とにより実現される機能の全部または一部をさらに備えたことを特徴とする請求項 6 または 7 の何れかに記載された半導体記憶装置。

【請求項 10】 メモリセルがマトリックス状に配列されてなるメモリセルアレイと、前記メモリセルアレイの各行を選択するための複数のワード線と、前記メモリセルアレイの各列に属するメモリセルから出力されるデータ信号を伝達するための複数のビット線と、前記ビット線上に現れたデータ信号を増幅するための増幅系と、前記ビット線上の信号を取り込んで保持する信号保持回路とを含

んで構成された半導体記憶装置を試験するための試験装置において、

(a) 前記メモリセルから前記ビット線にデータ信号を読み出すステップと

(b) 前記ビット線に読み出されたデータ信号を前記信号保持回路に取り込むステップと、

(c) 前記信号保持回路に取り込まれたデータ信号の電位を外部に読み出すステップと、

を含むことを特徴とする試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、メモリセルからビット線に読み出されたデータ信号の電位を測定するための機能を有する半導体記憶装置並びにその試験装置および試験方法に関する。

【0002】

【従来の技術】

従来、半導体記憶装置（半導体メモリ）として、ダイナミックランダムアクセスメモリ（DRAM）、スタティックランダムアクセスメモリ（SRAM）、フラッシュメモリ（Flash Memory）、強誘電体メモリ（FeRAM）等が知られている。この半導体記憶装置の回路設計、製造プロセス、信頼性等の仕様は、記憶の単位となる1ビットのデータを記憶するメモリセルの特性に大きく依存する。そこで、半導体記憶装置を開発する場合、メモリセルの動作特性評価を行ない、この特性評価結果を、デバイス構造、製造プロセス、回路設計等へとフィードバックさせて試作を繰り返し、信頼性を含めた商品としての性能を向上させていく手法が採られている。

【0003】

ところで、上述のメモリセル動作特性評価においては、予めメモリセルに書き込まれたデータを、メモリセルのデータ入出力線であるビット線に読み出したときの読み出し電位（以下、「ビット線読み出し電位」と称す）が、重要な情報

となる。例えば、データをメモリセルに書き込んで、ある一定時間が経過した後のビット線読み出し電位は、そのメモリセルのデータ保持特性を反映する量である。また、メモリセルに対して書き込み動作や読み出し動作を繰り返して行った後のビット線読み出し電位は、そのメモリセルの繰り返し動作耐性を反映する量である。

【0004】

従って、ある規模のメモリセルアレイ内のメモリセルについて、電源電位や周囲温度等の条件を変えてビット線読み出し電位を調べることにより、個々のメモリセルの基本動作特性、信頼性、およびメモリセル全体としての歩留まり等を詳細に評価することができる。

このように、半導体記憶装置の内部信号であるビット線読み出し電位は、半導体記憶装置の開発上、極めて重要な情報であり、半導体記憶装置の内部信号を精度よく測定するための技術が有用となる。

【0005】

以下、従来の半導体記憶装置の一例として強誘電体メモリを説明した後、半導体記憶装置の内部信号を測定するための従来技術を説明する。

強誘電体メモリの回路構成および動作については、例えば、特開平6-324558号公報、特開平10-233100号公報等に詳しく開示されている。図12に、従来の強誘電体メモリのメモリセルアレイとその周辺回路の構成を示し、図13に、その動作タイミングチャートを示す。なお、図12において、細線で表された配線は1本の配線を表し、太線で表された配線は複数本の配線の集合を表す。

【0006】

まず、図12において、メモリセルアレイ110は、1つのトランジスタと1つの強誘電体キャパシタとからなるいわゆる1T/1C型のメモリセルMCjkを、m行n列のアレイ状に配列して構成される。ここで、「j」は行番号を表す添え字であり、1～mの整数値をとる。また、「k」は列番号を表す添え字であり、1～nの値をとる。以下の説明において、適宜、この添え字による記法を用いる。例えば、ワード線WLjは、ワード線WL1～WLmうちの任意の1つを

表し、ビット線 BLN_k , BLT_k は、ビット線 BLN_1 , BLT_1 , \sim , BLN_n , BLT_n のうち、同一の列番号を有する任意の 1 対（例えばビット線 BLN_1 , BLT_1 ）を表す。

【0007】

メモリセルアレイ 110 の行方向に延在するように、複数のワード線 $WL_1 \sim WL_m$ およびプレート線 $PL_1 \sim PL_m$ が配線され、これらワード線およびプレート配線と直交する列方向に延在するように、複数のビット線 BLN_1 , BLT_1 , \sim , BLN_n , BLT_n が配線される。ワード線 WL_j およびプレート線 PL_j は、行番号 j の行に属するメモリセルを選択するためのものであり、後述する行デコーダ 120 により選択的に駆動される。メモリセル MC_{jk} のトランジスタのゲート端子は、ワード線 WL_j に接続され、そのドレイン端子は後述する 1 対のビット線 BLN_k または BLT_k の何れかに接続される。また、同メモリセルの強誘電体キャパシタの一方の電極は、同メモリセルのトランジスタのソース端子に接続され、他方の電極はプレート線 PL_j に接続される。

【0008】

列番号 k の列に属するビット線 BLN_k , BLT_k は対をなし、この 1 対のビット線 BLN_k , BLT_k には、互いに隣接するワード線に接続されたメモリセルがそれぞれ接続され、同一のワード線によっては、対をなすビット線にそれぞれ接続されたメモリセルが同時に選択されないようになっている。ビット線 BLN_1 , BLT_1 , \sim , BLT_n , BLT_n には、1 対のビット線 BLN_k , BLT_k を単位として、メモリセルから読み出されたデータ信号を増幅するためのセンスアンプ $SA_1 \sim SA_n$ が接続される。このセンスアンプ $SA_1 \sim SA_n$ は、後述するセンスアンプ制御回路 181 で発生されるセンスアンプ活性化信号 SAE により制御される。

【0009】

また、ビット線 BLN_1 , BLT_1 , \sim , BLN_n , BLT_n には、1 対のビット線 BLN_k , BLT_k を単位として、読み出し時にビット線電位を初期化するビット線プリチャージ回路 $PBL_1 \sim PBL_n$ が接続されている。このビット線プリチャージ回路 $PBL_1 \sim PBL_n$ は、後述するビット線プリチャージ制御

回路182で発生されるビット線プリチャージ信号PBLにより制御されて、各ビット線の電位を接地電位に初期化する。

【0010】

さらに、ビット線BLN1, BLT1, ~, BLNn, BLTnには、ダミーメモリセルDCN1, DCT1, ~, DCNn, DCTnがそれぞれ接続される。このダミーメモリセルは、読み出し動作時に必要な参照電位を発生するために使用されるもので、上述の1T/1C型のメモリセルMCjkと等価な構成を有する。ダミーメモリセルDCN1~DCNnは、ビット線BLN1~BLNnに接続されたメモリセルに対応するものであり、ダミーワード線DWLNに接続される。ダミーメモリセルDCT1~DCTnは、ビット線BLT1~BLTnに接続されたメモリセルに対応するものであり、ダミーワード線DWLTに接続される。

【0011】

さらにまた、ビット線BLN1, BLT1, ~, BLNn, BLTnには、1対のビット線BLNk, BLTkを単位として、列選択トランスファゲートYST1~YSTnがそれぞれ接続され、ビット線BLN1, BLT1, ~, BLNn, BLTnは、この列選択トランスファゲートYST1~YSTnを介して選択的にデータ線DB（相補信号線）に接続される。この列選択トランスファゲートYST1~YSTnには、後述する列デコーダ130からの列選択線YSW1~YSWnがそれぞれ接続される。

【0012】

次に、アドレスプリデコーダ160は、装置外部から入力されたアドレス信号Aiをプリデコードして行アドレスプリデコード信号XPaおよび列アドレスプリデコード信号YPbを生成するものである。行デコーダ120は、アドレスプリデコーダ160により生成された行アドレスプリデコード信号XPaに基づき、ワード線WL1~WLmを選択的に駆動し、1行分のメモリセルを選択するものである。この実施の形態1では、行デコーダ120は、プレート線PL1~PLmを選択するためのプレートデコーダの機能を含むものとする。列デコーダ130は、アドレスプリデコーダ160により生成された列アドレスプリデコード

信号 Y P b に基づき、列選択線 Y S W 1 ~ Y S W n を選択的に駆動して 1 列分のメモリセル（1 対のビット線 B L N k, B L T k に接続されるメモリセル群）を選択するものである。また、特に図示しないが、上述の構成要素以外に、データ線 D B にはデータ用の入出力バッファ回路が接続されている。

【0013】

次に、図 13 を参照しながら、図 12 に示した強誘電体メモリの動作について、メモリセル M C 22 を選択してデータの読み出しおよび書き込みを行う場合を例として説明する。

最初に、強誘電体メモリは待機状態にあるものとする。この待機時には、ワード線 W L 1 ~ W L m、プレート線 P L 1 ~ P L m、ダミーワード線 D W L N, D W L T、および列選択線 Y S W 1 ~ Y S W n が全てロウレベルに駆動されると共に、センスアンプ活性化信号 S A E がロウレベルに設定される。これにより、メモリセル M C 11 ~ M C m n、ダミーメモリセル D C N 1, D C T 1, ~, D C N n, D C T n、センスアンプ S A 1 ~ S A n、および列選択トランスファゲート Y S T 1 ~ Y S T n は、全て非活性化状態とされる。また、ビット線プリチャージ信号 P B L はハイレベルに設定され、ビット線プリチャージ回路 P B L 1 ~ P B L n は活性化状態とされる。これにより、ビット線 B L N 1, B L T 1, ~, B L N n, B L T n の各電位は、ビット線プリチャージ回路 P B L 1 ~ P B L n により接地電位に駆動され、全ビット線が接地電位にプリチャージされる。

【0014】

上述の待機状態から書き込み動作または読み出し動作を行う場合、まず、ビット線プリチャージ信号 P B L をロウレベルとする。これにより、ビット線プリチャージ回路 P B L 1 ~ P B L n が非活性化され、全ビット線がフローティング状態となる。このとき、ビット線 B L N 1, B L T 1, ~, B L N n, B L T n は、先に接地電位にプリチャージされていたので、リーク等の影響が無視できる間は、各ビット線の電位はロウレベル（接地電位）を維持する。

【0015】

次に、メモリセル M C 22 を選択する。具体的には、外部から指定されたアドレス信号 A i に基づき、ワード線 W L 2 をハイレベル、プレート線 P L 2 をハイ

レベルに駆動する。ワード線WL2のハイレベルの電位は、メモリセルを構成するトランジスタのしきい値電位 V_{tn} 分を補償する必要上、通常、電源電位よりも V_{tn} 程高い電位に昇圧された電位である。プレート線PL2のハイレベルは、通常、電源電位である。

【0016】

ワード線WL2およびプレート線PL2をハイレベルに駆動することにより、このワード線WL2に連なるメモリセルMC21, MC22, ..., MC2nは全て選択状態とされる。すなわち、プレート線PL2がハイレベルに駆動されることにより、プレート線PL2とビット線BLT1~BLTnとの間に電位差が発生する。これにより、行番号jが「2」の行に属するメモリセル内の強誘電体キャパシタの電極間に電位差が生じ、その電位差に応じた電荷が該強誘電体キャパシタからビット線BLT1~BLTnに出力される。この結果、ビット線BLT1~BLTn上に、データ信号の電位であるビット線読み出し電位が現れる。このビット線読み出し電位は、一般には電源電位と接地電位との間のアナログ量のある値をとる。

【0017】

他方、ビット線BLT1~BLTnと対をなすビット線BLN1~BLNn上には、ビット線BLT1~BLTn上に現れたビット線読み出し電位が、データ「0」に対応するものか、データ「1」に対応するものかを判別するための基準となる参照電位が発生される。この場合、参照電位は、ダミーワード線DWLNをハイレベルに駆動してダミーメモリセルDCN1~DCNnを選択することによりビット線BLN1~BLNn上に現れる。

【0018】

逆に、ビット線BLN1~BLNn上のビット線読み出し電位に対応するデータを判別する場合には、ダミーワード線DWLTをハイレベルに駆動してダミーメモリセルDCT1~DCTnを選択し、ビット線BLT1~BLTnに参照電位を発生させる。この参照電位の発生方法の詳細については、例えば、特開平10-233100号公報や特開平9-97496号公報に開示されている。

【0019】

このようにして、ビット線 $BLT1 \sim BLTn$ には、行番号 j が「2」の行に属するメモリセル $MC21 \sim MC2n$ から読み出し電位が出力され、ビット線 $BLN1 \sim BLNn$ にはダミーメモリセル $DCN1 \sim DCNn$ から参照電位が出力される。この後、センスアンプ活性化信号 SAE をハイレベルとすることによりセンスアンプ $SA1 \sim SAn$ を活性化し、互いに対をなすビット線 $BLNk$ とビット線 $BLTk$ との間の電位差を差動増幅する。

【0020】

ここで、データ読み出し動作の場合、列選択線 $YSW2$ をハイレベルに駆動し、列選択トランスファゲート $YST2$ を活性化する。これにより、ビット線対 $BLN2, BLT2$ とデータ線 DB とを電氣的に接続し、1対のビット線 $BLN2, BLT2$ 上の差動増幅されたデータ信号をデータ出力バッファ回路（図示なし）に転送する。このデータ出力バッファ回路は外部にデータを出力する。また、データ書き込み動作の場合、データ入力バッファ回路（図示なし）により外部からデータを入力する。そして、データ線 DB を介して1対のビット線 $BLN2, BLT2$ にデータに対応する電位を出力し、このデータをメモリセル $MC22$ に書き込む。

【0021】

上述のデータ読み出し動作は、データの読み出し過程でメモリセルの記憶データが破壊されるいわゆる破壊読み出し動作である。読み出し後も記憶データを保持する場合には、メモリセルにデータを再書き込みする。強誘電体メモリにおいて、メモリセルへのデータの再書き込みは、次の動作によって達成される。

(1) データ「0」を再書き込みする場合、ビット線がロウレベル、プレート線がハイレベルに駆動された状態から、プレート線をロウレベルに駆動して、強誘電体キャパシタにかかる電圧をゼロとする。

(2) データ「1」を再書き込みする場合、ビット線がハイレベル、プレート線がロウレベルに駆動された状態から、ビット線をロウレベルに駆動して、強誘電体キャパシタにかかる電圧をゼロとする。

【0022】

図13に示すタイミングチャートを参照して、データの再書き込み動作をさら

に詳細に説明する。例えば、センスアンプに S A 2 によるデータ増幅後にロウレベルとなっているビット線 B L T 2 に連なるメモリセルについては、先にプレート線 P L 2 がハイレベル、ビット線 B L T 2 がロウレベルに駆動された状態から、プレート線 P L 2 がロウレベルに駆動されたときに、メモリセル内の強誘電体キャパシタにかかる電圧がゼロとなる。従って、列選択線 Y S W 2 をロウレベルに駆動した後、プレート線 P L 2 をロウレベルに駆動した時点でデータの再書き込みが終了する。

【 0 0 2 3 】

センスアンプ S A 2 によるデータ増幅後にハイレベルに駆動されているビット線 B L N 2 に連なるメモリセルについては、プレート線 P L 2 がロウレベルに駆動されたときに、ビット線 B L N 2 がハイレベルに駆動された状態となっており、続けてビット線 B L N 2 をロウレベルに駆動したときに、メモリセル内の強誘電体キャパシタにかかる電圧がゼロとなる。従って、センスアンプ活性化信号 S A E をロウレベルとし、ビット線プリチャージ信号 P B L をハイレベルとして、ビット線電位を接地電位（ロウレベル）にした時点でデータの再書き込みが終了する。

データの再書き込み動作の終了後、ワード線 W L 2 をロウレベルに駆動して、メモリセル M C 2 2 を非選択状態に戻す。以上により、強誘電体メモリに対する読み出し動作または書き込み動作の 1 サイクルが完了する。

【 0 0 2 4 】

これまでに述べた強誘電体メモリの動作は、1 T / 1 C 型の一つのメモリセルに対し、1 ビットのデータを記憶させる動作であり、いわゆる「1 T / 1 C 型動作方式」と呼ばれるものである。この動作方式は、上述したように、読み出し動作時に参照電位を必要とする。それに対し、1 T / 1 C 型の 2 つのメモリセルを用いて 1 ビットのデータを記憶する動作方式があり、いわゆる「2 T / 2 C 型動作方式」と呼ばれる。

【 0 0 2 5 】

この 2 T / 2 C 型動作方式では、ビット線 B L N k に接続される 1 T / 1 C 型の 1 つのメモリセルとビット線 B L T k に接続される 1 T / 1 C 型の 1 つのメモ

リセルとで対を形成し、この1対のメモリセルを1ビットの記憶単位とする。これを図12を援用して説明する。例えば、1対のビット線BLN1, BLT1についてはメモリセルMC11とメモリセルMC21、1対のビット線BLN2, BLT2についてはメモリセルMC12とメモリセルMC22、というように、1ビットの記憶単位となるメモリセルの対を取り決める。そして、この対をなすメモリセルには、互いに逆極性のデータ（相補データ）を保持する。

【0026】

例えば、ビット線BLN1にハイレベルのデータ信号が現れ、ビット線BLT1にロウレベルのデータ信号が現れる場合をデータ「0」に対応づけ、逆の場合をデータ「1」に対応づける。これにより、1T/1C型の2つのメモリセルにより1ビットのデータが記憶されることとなる。この動作方式の場合、メモリセル自身から、データの内容に応じた相補的なデータ信号がビット線BLNk, BLTk上に出力されるので、前述の1T/1C型動作方式の場合に用いた参照電位を要することなく、センスアンプによる差動増幅動作が可能となる。

【0027】

以上説明したように、1T/1C型動作方式または2T/2C型動作方式のいずれの方式であっても、強誘電体メモリのビット線読み出し電位はアナログ量である。したがって、ビット線読み出し電位を測定する場合には、アナログ量の電位が測定可能な方法を用いなくてはならない。この事情は、強誘電体メモリに限らず、他の半導体記憶装置についても同様である。

【0028】

次に、ビット線読み出し電位を含む半導体記憶装置の内部信号を測定するための従来技術を説明する。この種の従来技術として、次のものが知られている。

(1) 特開平8-241589号公報には、被測定対象の信号が現れる節点に探針を当てて、その信号の電位を直接的に測定する方法が開示されている。

(2) 特開平5-129553号公報には、電子ビーム（EB）テスターを用いて測定する方法が開示されている。

(3) 特開平10-233100号公報には、ビット線電位検知手段を備える半導体メモリ装置について開示されている。この公報に開示された技術は、測定の

対象とするビット線読み出し電位が、センスアンプの感度、すなわちセンスアンプによる正常増幅動作が不可能となる電位を越えているか否かを調べることにより、ビット線読み出し電位を測定するものである。

【 0 0 2 9 】

【発明が解決しようとする課題】

しかしながら、上述の内部信号を測定するための従来技術によれば、ビット線読み出し電位を測定の対象とする場合、次のような問題点があった。

(1) 特開平 8 - 2 4 1 5 8 9 号公報に開示された探針を用いる方法では、半導体チップの表面に形成されたメモリセルアレイ内のビット線に対して、マニピュレータ等を操作して探針を当てなければならず、作業に時間を要していた。しかも、複数のビット線上に現れるビット線読み出し信号を測定する場合には、ビット線毎に探針を当て直す必要があり、作業に一層の時間を要していた。この不都合を解消するために、全ビット線に対して探針を一度に当てる方法も考えられるが、微細加工された複数のビット線に対して複数の探針を同時に当てる作業は極めて困難であり、専用の測定治具を準備する必要がある。

【 0 0 3 0 】

(2) 特開平 5 - 1 2 9 5 5 3 号公報に開示された E B テスターを用いる方法は、E B テスター装置そのものが極めて高価な装置であるため、テストコストが増大するという問題がある。しかも、E B テスター装置自体の特性として、相対的な量しか把握することができず、測定対象の電位の絶対値を測定することが困難であるという問題もある。

(3) 特開平 1 0 - 2 3 3 1 0 0 号公報に開示された技術は、測定対象のビット線読み出し電位が、センスアンプ感度を上回っているか否かのみを判定するというものであるため、アナログ量であるビット線読み出し電位の測定にそのまま適用することはできないという問題がある。

上述の各従来技術によれば、アナログ量のビット線読み出し電位を測定の対象とすること自体が困難であった。

【 0 0 3 1 】

次に、ビット線読み出し電位を測定する上で特有な問題が存在する。

すなわち、測定の際に、ビット線そのものに重い容量負荷や電流負荷が接続されてしまうと、それらの負荷の影響により、測定対象のビット線読み出し電位が変動し、実際のビット線読み出し電位と異なったものになるという問題がある。したがって、ビット線読み出し電位を測定するための測定系に起因してビット線に付加される容量負荷は、そのビット線が持つ本来の寄生容量に対し、例えば10パーセント以下というように十分小さく抑える必要がある。

【0032】

また、他の特有问题として、ダイナミックランダムアクセスメモリや強誘電体メモリなどのように、フローティング状態にあるビット線上にメモリセルからのデータ信号が読み出される形式の半導体記憶装置については、ビット線読み出し電位を測定する場合、リーク電流の影響を抑える必要がある。

【0033】

図14に、強誘電体メモリが備えるメモリセルの構成と、ビット線読み出し電位に影響を与えるリーク電流の一例を示す。図14(a)は、メモリセルの回路構成を示し、図14(b)は、同図(a)に示すメモリセルの断面構造を模式的に示す。図14(a)および(b)において、トランジスタ T_r は、ワード線 W_L の電位に応じてメモリセルの内部の記憶ノード M とビット線 B_L との間を電氣的に接続するためのものであり、ソース D_S が記憶ノード M に接続され、ドレイン D_D がビット線 B_L に接続され、ゲート G_T がワード線 W_L に接続されている。強誘電体キャパシタ C_f は、データを保持するためのものであり、上部電極 T_U と強誘電体 F_E と下部電極 T_L から構成され、上部電極 T_U は記憶ノード M （トランジスタ T_r のソース D_S ）に接続され、下部電極 T_L はプレート線 P_L に接続される。

【0034】

図14(b)に示すように、ビット線読み出し電位に影響を与えるリーク電流として、隣接配線への層間絶縁膜 M_L を介した層間リーク電流 i_1 、メモリセルトランジスタのゲート G_T へのゲート酸化膜リーク電流 i_2 、サブスレッシュホールド領域でのチャネルリーク電流 i_3 、拡散層（ドレイン D_D ）と基板 SUB との間のジャンクションリーク電流 i_4 、隣接メモリセルの拡散層へのリーク電流

i 5 等、各種のリーク電流が存在する。

【 0 0 3 5 】

このような各種のリーク電流が存在するため、フローティング状態にあるビット線読み出し電位が時間の経過と共に変動し、ビット線読み出し電位の測定に時間を要すると、上述のリーク電流の影響が無視できなくなり、ビット線読み出し電位を精度よく測定することができなくなる。1回のビット線読み出し電位の測定に許される時間は、リーク電流の大きさにもよるが（それは、半導体記憶装置のメモリセル構造や製造プロセス条件に依存する）、概ね1ミリ秒以下というオーダーであろう。

上述したように、ビット線読み出し電位を精度よく測定するためには、測定系に起因してビット線に付加される容量負荷を最小限に抑えたと共に、リーク電流による影響を抑える必要がある。

【 0 0 3 6 】

この発明は、上記事情に鑑みてなされたもので、メモリセルからビット線上に読み出されたアナログ量のデータ信号の電位（ビット線読み出し電位）を精度良く測定することが可能な半導体記憶装置並びに試験装置および試験方法を提供することを目的とする。

【 0 0 3 7 】

【課題を解決するための手段】

この発明は、上記課題を解決するため、以下の構成を有する。

すなわち、この発明の請求項1にかかる半導体記憶装置は、メモリセルがマトリックス状に配列されてなるメモリセルアレイ（例えば後述するメモリセルアレイ110に相当する構成要素）と、前記メモリセルアレイの各行を選択するための複数のワード線（例えば後述するワード線WL1～WLnに相当する構成要素）と、前記メモリセルアレイの各列に属するメモリセルから出力されるデータ信号を伝達するための複数のビット線（例えば後述するビット線BLN1, BLT1, ～, BLNn, BLTnに相当する構成要素）と、前記ビット線上に現れたデータ信号を増幅する際の基準となる参照信号を生成する参照信号生成系（例えば後述するダミーメモリセルDCN1, DCT1, ～, DCNn, DCTn、お

よびダミーメモリセル制御回路 1 8 3 に相当する構成要素) と、前記ビット線上に現れたデータ信号を前記参照信号と比較して増幅するための増幅系 (例えば後述するセンスアンプ S A 1 ~ S A n、センスアンプ制御回路 1 8 1 に相当する構成要素) と、を含んで構成された半導体記憶装置において、装置外部から指定された電位を前記参照信号の電位として設定する参照電位設定回路系 (例えば後述する参照電位設定回路ブロック 1 5 0 に相当する構成要素) を備えたことを特徴とする。

【 0 0 3 8 】

この発明の請求項 2 にかかる半導体記憶装置は、前記半導体記憶装置において、前記参照電位設定回路系は、前記参照信号が現れる配線となる前記メモリセルアレイ内のビット線にドレイン端子が接続され、装置外部から指定された前記電位がソース端子に供給され、ビット線電位の測定時に活性化される制御信号がゲート端子に供給されたトランジスタ (例えば後述するトランジスタ T 1, T 2 に相当する構成要素) を備えたことを特徴とする。

【 0 0 3 9 】

この発明の請求項 3 にかかる試験装置は、メモリセルがマトリックス状に配列されてなるメモリセルアレイ (例えば後述するメモリセルアレイ 1 1 0 に相当する構成要素) と、前記メモリセルアレイの各行を選択するための複数のワード線 (例えば後述するワード線 W L 1 ~ W L m に相当する構成要素) と、前記メモリセルアレイの各列に属するメモリセルから出力されるデータ信号を伝達するための複数のビット線 (例えば後述するビット線 B L N 1, B L T 1, ~, B L N n, B L T n に相当する構成要素) と、前記ビット線上に現れたデータ信号を増幅する際の基準となる参照信号を生成する参照信号生成系 (例えば後述するダミーメモリセル D C N 1, D C T 1, ~, D C N n, D C T n、およびダミーメモリセル制御回路 1 8 3 に相当する構成要素) と、前記ビット線上に現れたデータ信号を前記参照信号と比較して増幅するための増幅系 (例えば後述するセンスアンプ S A 1 ~ S A n、センスアンプ制御回路 1 8 1 に相当する構成要素) と、装置外部から指定された電位を前記参照信号の電位として設定する参照電位設定回路系 (例えば後述する参照電位設定回路ブロック 1 5 0 に相当する構成要素) とを

含んで構成された半導体記憶装置を試験するための試験装置において、一方向に変化させながら電源電位と接地電位との間の電位を発生して前記参照電位設定回路系に与え、前記参照信号の電位を制御する参照信号制御系（例えば後述する参照電位発生部 2 5 0 に相当する構成要素）と、アドレスを発生して前記半導体記憶装置に与え、前記メモリセルからデータ信号を読み出すための一連の動作を制御する制御系（例えば後述する制御信号発生部 2 2 0、データ発生部 2 3 0、アドレス発生部 2 4 0 に相当する構成要素）と、前記増幅系により増幅されたデータ信号の論理値を判定する判定系（例えば後述する判定部 2 6 0 に相当する構成要素）と、前記判定系により判定された論理値が反転する際の前記参照信号の電位の値を記憶する記憶系（例えば後述する記憶部 2 7 0 に相当する構成要素）と、前記記憶系に記憶された前記電位の値を統計処理する統計処理系（例えば後述する統計処理部 2 8 0 に相当する構成要素）と、を備えたことを特徴とする。

【 0 0 4 0 】

この発明の請求項 4 にかかる半導体記憶装置は、前記半導体記憶装置において、前記試験装置にかかる制御系（例えば後述する制御信号発生部 2 2 0、データ発生部 2 3 0、アドレス発生部 2 4 0 に相当する構成要素）と判定系（例えば後述する判定部 2 6 0 に相当する構成要素）と記憶系と統計処理系（例えば後述する記憶部 2 7 0 に相当する構成要素）とにより実現される機能の全部または一部をさらに備えたことを特徴とする。

【 0 0 4 1 】

この発明の請求項 5 にかかる試験方法は、メモリセルがマトリックス状に配列されてなるメモリセルアレイ（例えば後述するメモリセルアレイ 1 1 0 に相当する構成要素）と、前記メモリセルアレイの各行を選択するための複数のワード線（例えば後述するワード線 $WL_1 \sim WL_m$ に相当する構成要素）と、前記メモリセルアレイの各列に属するメモリセルから出力されるデータ信号を伝達するための複数のビット線（例えば後述するビット線 $BLN_1, BLT_1, \sim, BLN_n, BLT_n$ に相当する構成要素）と、前記ビット線上に現れたデータ信号を増幅する際の基準となる参照信号を生成する参照信号生成系（例えば後述するダミーメモリセル $DCN_1, DCT_1, \sim, DCN_n, DCT_n$ 、およびダミーメモリ

セル制御回路 1 8 3 に相当する構成要素) と、前記ビット線上に現れたデータ信号を前記参照信号と比較して増幅するための増幅系 (例えば後述するセンスアンプ S A 1 ~ S A n、センスアンプ制御回路 1 8 1 に相当する構成要素) と、装置外部から指定された電位を前記参照信号の電位として設定する参照電位設定回路系 (例えば後述する参照電位設定回路ブロック 1 5 0 に相当する構成要素) とを含んで構成された半導体記憶装置を試験するための試験方法において、(a) 前記参照電位設定回路系により前記参照信号の電位を設定するステップ (例えば後述するステップ S 1 5 に相当する要素) と、(b) 前記メモリセルから前記ビット線上にデータ信号を読み出すステップ (例えば後述するステップ S 1 3 に相当する要素) と、(c) 前記増幅系により比較される前記参照信号とデータ信号と間の電位の大小関係が反転する際の前記参照信号の電位を取得するステップ (例えば後述するステップ S 1 4, S 1 6 に相当する要素) と、を含むことを特徴とする。

【 0 0 4 2 】

この発明の請求項 6 にかかる半導体記憶装置は、メモリセルがマトリックス状に配列されてなるメモリセルアレイ (例えば後述するメモリセルアレイ 1 1 0 に相当する構成要素) と、前記メモリセルアレイの各行を選択するための複数のワード線 (例えば後述するワード線 W L 1 ~ W L m に相当する構成要素) と、前記メモリセルアレイの各列に属するメモリセルから出力されるデータ信号を伝達するための複数のビット線 (例えば後述するビット線 B L N 1, B L T 1, ~, B L N n, B L T n に相当する構成要素) と、前記ビット線上に現れたデータ信号を増幅するための増幅系 (例えば後述するセンスアンプ S A 1 ~ S A n、センスアンプ制御回路 1 8 1 に相当する構成要素) と、を含んで構成された半導体記憶装置において、前記ビット線上に読み出されたデータ信号を取り込んで保持する信号保持回路 (例えば後述するデータ信号保持回路ブロック 3 1 0 に相当する構成要素) を備えたことを特徴とする。

【 0 0 4 3 】

この発明の請求項 7 にかかる半導体記憶装置は、前記半導体記憶装置において、前記信号保持回路は、サンプルホールド回路 (例えば後述するサンプルホール

ド回路SH1～SHnに相当する構成要素) からなることを特徴とする。

【0044】

この発明の請求項8にかかる試験装置は、メモリセルがマトリックス状に配列されてなるメモリセルアレイ（例えば後述するメモリセルアレイ110に相当する構成要素）と、前記メモリセルアレイの各行を選択するための複数のワード線（例えば後述するワード線WL1～WLmに相当する構成要素）と、前記メモリセルアレイの各列に属するメモリセルから出力されるデータ信号を伝達するための複数のビット線（例えば後述するビット線BLN1, BLT1, ～, BLNn, BLTnに相当する構成要素）と、前記ビット線上に現れたデータ信号を増幅するための増幅系（例えば後述するセンスアンプSA1～SA n、センスアンプ制御回路181に相当する構成要素）と、前記ビット線上の信号を取り込んで保持する信号保持回路（例えば後述するデータ信号保持回路ブロック310に相当する構成要素）とを含んで構成された半導体記憶装置を試験するための試験装置において、アドレスを発生して前記半導体記憶装置に与え、前記メモリセルからデータ信号を読み出すための一連の動作を制御する第1の制御系（例えば後述する制御信号発生部220に相当する構成要素）と、前記ビット線上に読み出されたデータ信号を前記信号保持回路に取り込ませるための制御を行う第2の制御系（例えば後述する信号保持回路制御部410に相当する構成要素）と、前記信号保持回路に取り込まれたデータ信号をA/D変換する変換系（例えば後述するA/D変換部420に相当する構成要素）と、前記データ変換系によりA/D変換されたデータを記憶する記憶系（例えば後述する記憶部430に相当する構成要素）と、前記記憶系に記憶されたデータを統計処理する統計処理系（例えば後述する統計処理部440に相当する構成要素）と、を備えたことを特徴とする。

【0045】

この発明の請求項9にかかる半導体記憶装置は、前記半導体記憶装置において、前記試験装置にかかる第1および第2の制御系（例えば後述する制御信号発生部220、信号保持回路制御部410に相当する構成要素）と変換系（例えば後述するA/D変換部420に相当する構成要素）と記憶系（例えば後述する記憶部430に相当する構成要素）と統計処理系（例えば後述する統計処理部440に

相当する構成要素）とにより実現される機能の全部または一部をさらに備えたことを特徴とする。

【 0 0 4 6 】

この発明の請求項 1 0 にかかる試験方法は、メモリセルがマトリックス状に配列されてなるメモリセルアレイ（例えば後述するメモリセルアレイ 1 1 0 に相当する構成要素）と、前記メモリセルアレイの各行を選択するための複数のワード線（例えば後述するワード線 W L 1 ～ W L m に相当する構成要素）と、前記メモリセルアレイの各列に属するメモリセルから出力されるデータ信号を伝達するための複数のビット線（例えば後述するビット線 B L N 1, B L T 1, ～, B L N n, B L T n に相当する構成要素）と、前記ビット線上に現れたデータ信号を増幅するための増幅系（例えば後述するセンスアンプ S A 1 ～ S A n、センスアンプ制御回路 1 8 1 に相当する構成要素）と、前記ビット線上の信号を取り込んで保持する信号保持回路（例えば後述するデータ信号保持回路ブロック 3 1 0 に相当する構成要素）とを含んで構成された半導体記憶装置を試験するための試験方法において、（a）前記メモリセルから前記ビット線上にデータ信号を読み出すステップ（例えば後述するステップ S 2 2 に相当する要素）と、（b）前記ビット線上に読み出されたデータ信号を前記信号保持回路に取り込むステップ（例えば後述するステップ S 2 3 に相当する要素）と、（c）前記信号保持回路に取り込まれたデータ信号の電位を外部に読み出すステップ（例えば後述するステップ S 2 4 に相当する要素）と、を含むことを特徴とする。

【 0 0 4 7 】

【発明の実施の形態】

次に、本発明の実施の形態について、図面を参照して詳細に説明する。

<実施の形態 1>

図 1 に、本実施の形態 1 にかかる強誘電体メモリ 1 0 0（半導体記憶装置）の全体構成を概略的に示す。この強誘電体メモリ 1 0 0 であって、前述の図 1 2 に示す従来技術にかかる構成に加え、この実施の形態 1 の特徴部をなす参照電位設定回路ブロック 1 5 0 を備えて構成される。以下、強誘電体メモリを例にとりて説明を行うが、本発明は強誘電体メモリに限らず、ビット線上にメモリセルから

のデータを読み出す方式を採用する全ての種類の半導体記憶装置に対しても同様に適用可能である。

なお、各図において、前述の図 1 2 に示す要素と共通する要素には同一符号を付し、その説明を適宜省略する。

【 0 0 4 8 】

図 1 に示すように、 m 行 n 列のメモリセルアレイ 1 1 0 に隣接するように、参照電位設定回路ブロック 1 5 0 が配置される。この参照電位設定回路ブロック 1 5 0 は、装置外部から指定された電位を、ビット線上に現れたデータ信号を増幅する際の基準となる参照信号の電位として設定するものであり、メモリセルアレイ 1 1 0 内のビット線上にメモリセルから読み出されるデータ信号の電位を測定するための補助手段を構成する。

【 0 0 4 9 】

メモリセルアレイ 1 1 0 には、行デコーダ 1 2 0、列デコーダ 1 3 0、センス系回路ブロック 1 4 0 が付随している。このセンス系回路ブロック 1 4 0 は、前述の図 1 2 に示すセンスアンプ $SA_1 \sim SA_n$ 、ビット線プリチャージ回路 $PBL_1 \sim PBL_n$ 、ダミーメモリセル $DCN_1, DCT_1, \sim, DCN_n, DCT_n$ を含む回路ブロックである。センス系制御回路 1 8 0 は、図 1 2 に示すセンスアンプ制御回路 1 8 1、ビット線プリチャージ制御回路 1 8 2、ダミーメモリセル制御回路 1 8 3 を含む回路ブロックである。

【 0 0 5 0 】

入出力バッファ回路 1 9 0 は、装置外部からデータ DIN （書き込みデータ）を入力するためのデータ入力バッファ回路（図示なし）と、装置外部にデータ DOU （読み出しデータ）を出力するためのデータ出力バッファ回路（図示なし）とからなり、この半導体記憶装置 1 0 0 と外部との間のデータのやりとりを担うものである。制御回路 1 7 0 は、装置外部から入力される各種の制御信号 CN $TMEM$ を受けて、アドレスプリデコーダ 1 6 0、センス系制御回路 1 8 0、入出力バッファ回路 1 9 0 など、装置内部の動作を制御するものである。

【 0 0 5 1 】

次に、この実施の形態 1 の特徴部である参照電位設定回路ブロック 1 5 0 につ

いて詳細に説明する。

参照電位設定回路ブロック 1 5 0 は、ビット線読み出し電位の測定時に装置外部から入力されるビット線読み出し電位測定用の制御信号群 C N T V B L に基づき、ビット線 B L N k またはビット線 B L T k の何れかに現れる参照信号の電位（参照電位）設定するものである。

【 0 0 5 2 】

図 2 に、メモリセルアレイ 1 1 0 上の各ビット線と参照電位設定回路ブロック 1 5 0 との接続関係を示す。図 2 において、参照電位設定回路ブロック 1 5 0 は、参照電位設定回路 V S E T 1 ~ V S E T n から構成され、この参照電位設定回路は、互いに対をなすビット線ごとに設けられる。参照電位設定回路 V S E T 1 ~ V S E T n には、装置外部から入力される制御信号群 C N T V B L として、参照電位を設定すべきビット線を選択するための選択制御信号 S E L と、装置外部から指定された電位 V R E F が与えられる。選択制御信号 S E L および指定参照電位 V R E F は、例えば、この強誘電体メモリのチップ上に形成されたパッド電極を介して装置外部から参照電位設定回路に印加される。または、パッケージの未使用ピン（N C ピン）を利用してよい。

なお、以下の説明において、装置外部から指定された電位 V R E F を「指定参照電位 V R E F」と称し、ビット線上に現れる参照信号の電位を V B L R E F と称す。

【 0 0 5 3 】

図 3 に、参照電位設定回路 V S E T k の構成例を示す。

同図に示すように、この参照電位設定回路 V S E T k は、参照信号が現れる配線であるビット線 B L N k, B L T k にドレイン端子が接続され、装置外部から指定された指定参照電位 V R E F がソース端子に供給され、ビット線電位（ビット線読み出し電位）の測定時に活性化される選択制御信号 S E L N k, S E L T k（選択制御信号 S E L）がゲート端子にそれぞれ供給されたトランジスタ T 1, T 2 を備えて構成される。すなわち、トランジスタ T 1 の電流経路の一端側はビット線 B L N k に接続され、そのゲート端子にはビット線 B L N k を選択するための選択制御信号 S E L N k が与えられる。また、トランジスタ T 2 の電流経

路の一端側はビット線BLTkに接続され、そのゲート端子にはビット線BLTkを選択するための選択制御信号SELTkが与えられる。これらトランジスタT1、T2の電流経路の他端には、指定参照電位VREFが共通に与えられる。なお、これらトランジスタT1、T2はいわゆるトランスファゲートとして機能するものであり、それらのソースとドレインは必ずしも一義的に特定されない。

【0054】

以下、図5に示すフローチャートに沿って、この実施の形態1にかかる強誘電体メモリ100の動作について、ビット線読み出し電位を測定する場合を例として図4に示すタイミングチャートを参照しながら説明する。ここで、図4は、図2に示す回路構成において、ビット線読み出し電位を測定する際の各部の信号のタイミングチャートであり、図5は、ビット線読み出し電位を測定する動作の流れを示すフローチャートである。なお、この実施の形態1では、図2に示すメモリセルアレイ110を構成する全メモリセルについてビット線読み出し電位を測定するものとする。

【0055】

ステップS10：まず、図示しない外部の試験装置により被試験対象の強誘電体メモリ100に対してアドレス信号Aiを設定し、最初のメモリセルMC11を選択する。

ステップS11：続いて、外部の試験装置により、指定参照電位VREFの初期値として電位VREF0（例えば接地電位；0V）を設定する。この指定参照電位VREF0は、図3に示す参照電位設定回路VSET1～VSETnにより、ビット線BLT1～BLTnに印加される。具体的には、ビット線BLN1～BLNnに接続されたメモリセルが選択される場合、選択制御信号SELTをハイレベルとし、トランジスタT2を導通させてビット線BLT1～BLTnに指定参照電位VREFを印加する。この結果、メモリセルMC11が接続されるビット線BLN1と対をなすビット線BLT1上の参照電位VBLREFが指定参照電位VREF0に設定される。外部の試験装置は、指定参照電位VREFとして、一方向に変化させながら接地電位と電源電位との間の電位を発生し、これを参照電位設定回路VSET1～VSETnに与える。後述するように、この指定

参照電位 V_{REF} は電位 ΔV を変化分として増加するが、これに限定されることなく、任意の電圧に設定してもよい。

【0056】

ステップ S12 : 続いて、外部の試験装置から入出力バッファ回路 190 に対してデータ DIN (書き込みデータ) を設定し、メモリセル MC11 にデータを書き込む。当該強誘電体メモリが 2 値メモリである場合には、書き込みデータは「0」もしくは「1」であり、3 値メモリである場合には、書き込みデータは「0」、「1」、「2」のいずれかである。メモリセルへのデータの書き込み方法は、従来の強誘電体メモリと同じ方法でよい。

【0057】

ステップ S13 : 続いて、データが書き込まれたメモリセル MC11 からビット線 BLN1 上に、データの読み出しを行う。データの読み出し方法も、従来の強誘電体メモリと同様である。すなわち、図 4 に示すように、ビット線プリチャージ信号 PBL をロウレベルとした後、メモリセル MC11 が接続されたワード線 WL1 およびプレート線 PL1 をそれぞれ選択電位に立ち上げることによって行う。こうしてビット線 BLN1 上に読み出されたデータ信号の電位をビット線読み出し電位 V_{BLX} とする。

【0058】

ステップ S14 : 続いて、ビット線 BLT1 上の参照電位 V_{BLREF} と、ビット線 BLN1 上のビット線読み出し電位 V_{BLX} とをセンスアンプ SA1 にて差動増幅して大小比較する。

ステップ S15 : ここで、ステップ S14 での大小比較の結果、「ビット線読み電位 $V_{BLX} > \text{参照電位 } V_{BLREF}$ 」の場合 (ステップ S14 : YES)、それまでの参照電位 V_{BLREF} に電位 $\Delta V (> 0)$ を加えて参照電位 V_{BLREF} を増加させ、上述のステップ S12 ~ S15 を繰り返す。ここで、電位 ΔV は、ビット線上の参照電位 V_{BLREF} を与える指定参照電位 V_{REF} の変化分であり、センスアンプ感度や測定精度等を考慮して決定される。

【0059】

ステップ S16 : ビット線読み出し電位 V_{BLX} が接地電位と電源電位との間

にあるとすれば、上述のステップS12～S15を繰り返すうちに、いつかは「ビット線読み出し電位 V_{BLX} ＜参照電位 V_{BLREF} 」なる関係が満たされる（参照電位 V_{BLREF} の値が接地電位から始まって電源電位まで徐々に増大するため）。ここで、参照電位 V_{BLREF} を増加させる過程において、「ビット線読み出し電位 V_{BLX} ＜参照電位 V_{BLREF} 」なる関係が最初に満たされた場合（ステップS14：NO）、そのときの参照電位 V_{BLREF} の値を取得する。この場合、参照電位 V_{REF} として指定参照電位 V_{REF} が設定されているので、直接的には指定参照電位 V_{REF} の値が取得される。このときの指定参照電位 V_{REF} の値は、そのときのビット線読み出し電位 V_{BLX} の測定値として取得される。

【0060】

ステップS17：続いて、現在選択されているメモリセルが最後のメモリセルか否かを判定する。いま、最初のメモリセルMC11が選択された状態にあるから、最後のメモリセルではない旨の否定的判定がなされる。

ステップS18：上述のステップS17で、否定的判定がなされると（ステップS17：NO）、次のメモリセルMC21を選択し、このメモリセルMC21に対して上述のステップS11～S16の処理を同様に実行する。

以後、ステップS17において最後のメモリセルである旨の肯定的判定がなされるまで、上述のステップS11～S18の一連のループ処理を各メモリセルに対して繰り返し実行し、全メモリセルについてビット線読み出し電位 V_{BLX} を測定する。

以上の測定動作において、読み出し動作はメモリセルの記憶データの破壊を伴う動作であるため、記憶データを保持する必要がある場合には、前述した従来技術にかかるの強誘電体メモリと同様に、再書き込み動作を行ってもよい。また、記憶データを維持する必要がない場合には、再書き込み動作を省略してもよい。

【0061】

次に、図4に示すタイミングチャートを参照して、メモリセルMC11を例とし、ビット線読み出し電位 V_{BLX} の測定原理を詳細に説明する。

メモリセルMC11が接続されたビット線BLN1上のビット線読み出し電位 V

B L X は、ビット線 B L T 1 上の参照電位 V B L R E F と比較され、これら電位の大小関係に応じてセンスアンプ S A 1 により増幅動作が行われる。この大小関係は、参照電位 V B L R E F とビット線読み出し電位 V B L X とが理想的には等しい状態を境として反転する。本実施の形態 1 は、この現象に着目してビット線読み出し電位 V B L X を測定するもので、参照電位 V B L R E F を外部から意図的に操作し、これら電位の大小関係が反転するときの参照電位 V B L R E F を観測して、ビット線読み出し電位 V B L X を間接的に把握する。

【 0 0 6 2 】

以下に具体的に説明する。ビット線上の参照電位 V B L R E F は、図 3 に示す参照電位設定回路 V S E T k により外部から意図的に設定される。具体的には、図 3 において、ビット線 B L N k に接続されるメモリセルが選択された場合、選択制御信号 S E L T をハイレベルとしてトランジスタ T 2 を導通させ、ビット線 B L T k に指定参照電位 V R E F を印加する。この結果、ビット線 B L T k 上の参照電位 V B L R E F が指定参照電位 V R E F に設定され、このビット線 B L T k が意図した電位に設定される。逆に、ビット線 B L T k に接続されるメモリセルが選択された場合には、選択制御信号 S E L N をハイレベルとしてトランジスタ T 1 を導通させ、ビット線 B L N k に意図した電位を設定する。

【 0 0 6 3 】

これらビット線読み出し電位 V B L X と参照電位 V B L R E F の大小関係は、センスアンプによる差動増幅の結果から把握される。すなわち、「ビット線読み出し電位 V B L X > 参照電位 V B L R E F」の場合、図 4 の上から 6 段目の波形（ビット線電位 V B L）に示すように、センスアンプ活性化信号 S A E がハイレベルになって増幅動作が完了した後では、ビット線 B L T 1 の電位がロウレベルに、ビット線 B L N 1 の電位がハイレベルになる。その後、列選択線 Y S W 1 を駆動して通常の読み出し動作を行えば、データ D O U T の論理値として、この場合のビット線電位の大小関係（B L T 1 / B L N 1 = ロウレベル / ハイレベル）に応じた論理値が出力される。

【 0 0 6 4 】

次に、「ビット線読み出し電位 V B L X < 参照電位 V B L R E F」の場合、図

4の上から7段目の波形に示すように、センスアンプ活性化信号SAE立ち上がりによりセンスアンプの増幅動作が完了した後では、ビット線BLT1の電位がハイレベルに、ビット線BLN1の電位がロウレベルになる。その後、列選択線YSW1を駆動して通常の読み出し動作を行えば、データDOUTの論理値として、この場合のビット線電位の大小関係（BLT1/BLN1＝ハイレベル/ロウレベル）に応じた論理値が出力される。

このように、「センスアンプによる差動増幅動作」とは、ビット線対BLN_kとBLT_kとの電位を比較し、大きい方の電位をハイレベルに、小さい方の電位をロウレベルにすることである。したがって、この差動増幅動作の結果として外部に読み出されたデータDOUTの論理値から、ビット線読み出し電位VBLXと参照電位VBLREFとの大小関係を把握することができる。

【0065】

ここで、ビット線読み出し電位VBLXと参照電位VBLREFとの大小関係は、これらの電位が等しくなる場合を境として反転する。逆に言えば、参照電位VBLREFを意図的に外部から操作し、これら電位の大小関係が反転するときの参照電位がビット線読み出し電位として把握される。したがって、参照電位VBLREFの電位として試験装置により外部から指定された指定参照電位VREFと、被試験対象の強誘電体メモリから読み出されたデータDOUTの論理値とをモニタし、データDOUTの論理値が反転するときの指定参照電位VREFの値から、ビット線読み出し電位VBLXの値を間接的に知ることができる。

【0066】

上述の例では、参照電位VBLREFの初期値を接地電位とし、電位 ΔV （ >0 ）を単位として参照電位VBLREFを徐々に増加させたために、最初は「ビット線読み出し電位VBLX $>$ 参照電位VBLREF」なる大小関係が満たされている状態から、「ビット線読み出し電位VBLX $<$ 参照電位VBLREF」なる大小関係が満足される状態に移行する。これとは逆に、参照電位VBLREFの初期値を電源電位とし、参照電位VBLREFを徐々に減少させる方法を採用してもよい。この場合、最初は「ビット線読み出し電位VBLX $<$ 参照電位VBLREF」なる大小関係が満たされている状態から、「ビット線読み出し電位VBLX $>$ 参照電位VBLREF」なる大小関係が満足される状態に移行する。

$VLX > \text{参照電位 } VBLREF$ 」なる大小関係が満たされる状態に移行する。

【0067】

なお、これまでの説明では、「ビット線読み出し電位 $VLX = \text{参照電位 } VBLREF$ 」なる関係を満たす場合については判定の対象外としていた。その理由は、センスアンプの差動増幅の出力からこの関係を把握することはできないためである。すなわち、実際の強誘電体メモリの回路動作において、仮に、「ビット線読み出し電位 $VLX = \text{参照電位 } VBLREF$ 」なる関係が満たされているとしても、センスアンプにはオフセットが存在するため、センスアンプは、「ビット線読み出し電位 $BLN2 / \text{参照電位 } BLT2$ 」=「ロウレベル／ハイレベル」または「ハイレベル／ロウレベル」のどちらかの状態とみなして増幅動作を行い、データ「0」または「1」の何れかを出力する。そのため、差動増幅の結果であるデータ $DOUT$ の論理値から「ビット線読み出し電位 $VLX = \text{参照電位 } VBLREF$ 」なる関係を把握することはできない。

【0068】

また、センスアンプは、ビット線読み出し電位と参照電位との間に電位差が存在することを増幅動作の前提としているため、「ビット線読み出し電位 $VLX = \text{参照電位 } VBLREF$ 」なる関係そのものを直接的に検出することはできない。しかしながら、参照電位の変化分である上述の電位 ΔV を細かく設定すれば、事実上「ビット線読み出し電位 $VLX = \text{参照電位 } VBLREF$ 」を満たす参照電位 $VBLREF$ の値を知ることができる。したがって、電位 ΔV は、センスアンプのオフセットや、必要とされる測定精度を考慮して適切に設定される。

以上が、この実施の形態 1 にかかる強誘電体メモリのビット線読み出し電位 VLX を測定する方法の例である。なお、図 3 に示した参照電位設定回路 $VSET_k$ は、指定参照電位 $VREF$ をビット線 BLN_k 、 BLT_k に印加できる役割を果たす他の回路があれば、それと共有させてもよい。

【0069】

次に、上述の強誘電体メモリ 100 のビット線読み出し電位を測定する機能を持つ試験装置を説明する。

図 6 に、この試験装置 200 の構成例を示す。この試験装置 200 を用いるこ

とにより、メモリテスト等の汎用の試験装置を用いることなく、ビット線読み出し電位を測定することができる。図 6 において、システム制御部 2 1 0 は、装置全体の動作を管理制御するものである。制御信号発生部 2 2 0 は、被試験対象の強誘電体メモリ 1 0 0 の読み出しや書き込みなどの動作を制御するための上述の制御信号 CNTMEM を発生するものである。

【 0 0 7 0 】

データ発生部 2 3 0 は、上述の書き込みデータ DIN を発生すると共にこのデータ DIN を期待値データとして発生するものである。アドレス発生部 2 4 0 は、アドレスを発生するものである。これら制御信号発生部 2 2 0 とデータ発生部 2 3 0 とアドレス発生部 2 4 0 は、アドレスを発生して被試験対象の強誘電体メモリ 1 0 0 に与え、そのメモリセルからデータ信号を読み出すための一連の動作を制御する制御系を構成する。

【 0 0 7 1 】

参照電位発生部 2 5 0 は、一方向に変化させながら電源電位と接地電位との間の指定参照電位 VREF を発生して参照電位設定回路ブロック 1 5 0 に与えるものであり、この指定参照電位 VREF と共に上述の選択制御信号 SEL を発生する。判定部 2 6 0 は、センスアンプ SA1 ～ SAn により増幅されたデータ信号の論理値を判定するものであり、具体的には強誘電体メモリ 1 0 0 から外部に出力されたデータ DOUT の論理値を判定し、その判定結果を表すフラグ信号 COMP を出力する。記憶部 2 7 0 は、フラグ信号 COMP を参照して、データ DOUT の論理値が反転する際の参照電位 VBLREF の値（指定参照電位 VREF ）を記憶するものである。統計処理ブロック 2 8 0 は、記憶部 2 7 0 に記憶された参照電位の値を統計処理し、統計処理結果 VBLMR を出力するものである。

【 0 0 7 2 】

以下、この試験装置 2 0 0 の動作を簡単に説明する。

制御信号発生部 2 2 0、データ発生部 2 3 0、アドレス発生部 2 4 0、参照電位発生部 2 5 0 は、システム制御部 2 1 0 の制御の下に、上述の制御信号 CNTMEM、書き込みデータ DIN、アドレス信号 Ai、指定参照電位 VREF および選択制御信号 SEL などの各信号を発生して強誘電体メモリ 1 0 0 に印加する

。一方、判定部 2 6 0 は、強誘電体メモリ 1 0 0 から出力されるデータ出力 D O U T の論理値を判定し、その判定結果を表すフラグ信号 C O P M を記憶部 2 7 0 に出力する。このフラグ信号 C O M P は、データ D O U T の論理値が反転したことを表すためのものである。

【 0 0 7 3 】

このフラグ信号 C O M P を参照して、前述の図 5 に示すステップ S 1 4 での判定処理を行う。例えば、フラグ信号 C O M P の論理値が「0」であれば、「 $V B L X > V B L R E F$ 」なる大小関係が満たされていると判定し、フラグ信号 C O M P の論理値が「1」であれば「 $V B L X < V B L R E F$ 」なる大小関係が満たされていると判定する。そして、「 $V B L X < V B L R E F$ 」なる大小関係が最初に満たされたときの指定参照電位 $V R E F$ の値を抽出し、そのときのビット線読み出し電位 $V B L X$ を表す情報として記憶部 2 7 0 に蓄える。同時に、ビット線読み出し電位の測定を行ったメモリセルのアドレス $A i$ 、および書き込みデータ $D I N$ も、指定参照電位 $V R E F$ と対応づけて付帯情報として記憶部 2 7 0 に蓄える。

【 0 0 7 4 】

なお、記憶部 2 7 0 がデジタル値しか記憶できない場合には、抽出された指定参照電位 $V R E F$ に適当な A / D 変換処理を施してから記憶部 2 7 0 に蓄える。この記憶部 2 7 0 に蓄積された情報（すなわちアドレス $A i$ で指定されるメモリセルのビット線読み出し電位 $V B L X$ など）は、統計処理部 2 8 0 によって統計処理が施され、ビット線読み出し電位の測定結果のデータベースとして保管される。

【 0 0 7 5 】

前述の図 2 に示す強誘電体メモリ 1 0 0 では、ビット線に対し指定参照電位 $V R E F$ を設定するための参照電位設定回路ブロック 1 5 0 のみがチップ上に集積化されていた。この参照電位設定回路ブロック 1 5 0 に加えて、上述のシステム制御部 2 1 0、制御信号発生部 2 2 0、データ発生部 2 3 0、アドレス発生部 2 4 0、参照電位発生部 2 5 0、判定部 2 6 0、記憶部 2 7 0、および統計処理部 2 8 0 により実現される機能、ならびに各種配線の全てもしくは一部を強誘電体

メモリ 1 0 0 上に集積化してもよい。

【 0 0 7 6 】

上述した実施の形態 1 によれば、ビット線読み出し電位の測定のために、該ビット線に大きな容量負荷もしくは電流負荷を発生させることなく、しかも該ビット線上にデータを読み出したまま長時間放置することなく短時間でビット線読み出し電位を測定することができる。

以上で、実施の形態 1 を説明した。

【 0 0 7 7 】

< 実施の形態 2 >

以下、本発明の実施の形態 2 を説明する。

図 7 に、この実施の形態 2 にかかる強誘電体メモリ 3 0 0 の構成を示す。この強誘電体メモリ 3 0 0 は、上述の実施の形態 1 にかかる図 1 に示す構成において、参照電位設定回路ブロック 1 5 0 に代え、ビット線 BLN_k 、 BLT_k 上に読み出されたデータ信号を制御信号 $CNTSH$ に基づき取り込んで保持する信号保持回路ブロック 3 1 0 を備えて構成される。この信号保持回路ブロック 3 1 0 は、対をなす 2 本のビット線ごとに設けられた複数のサンプルホールド回路から構成される。

【 0 0 7 8 】

図 8 に、このサンプルホールド回路の構成例を示す。同図 (a) に示す構成例は、ビット線 BL (BLN_k または BLT_k) に接続されて制御信号 $CNTSW$ に基づき開閉するアナログスイッチ $SW10$ と、ビット線読み出し電位を蓄えるサンプルキャパシタ $C10$ と、演算増幅器 $OP10$ を主体とするヴォルテージフォロアとから構成されている。スイッチ $SW10$ の一端はビット線 BL (BLN_k 、 BLT_k) に接続され、他端は演算増幅器 $OP10$ からなるボルテージフォロアの入力部に接続される。このボルテージフォロアの入力部と接地との間にサンプルキャパシタ $C10$ が接続される。演算増幅器 $OP10$ の活性状態 (動作/待機) は、制御信号 $CNTOPA$ で制御される。制御信号 $CNTSW$ および制御信号 $CNTOPA$ は、上述の制御信号 $CNTSH$ として供給される。

【 0 0 7 9 】

この図 8 (a) に示すサンプルホールド回路を動作させる場合、まず、制御信号 CNT SW によりスイッチ SW 1 0 を導通状態として、ビット線上のビット線読み出し電位を C 1 0 に蓄える。次にスイッチ SW 1 0 を非導通状態とすると共に、制御信号 CNT O P A により演算増幅器 O P 1 0 を活性化して、アナログ値のビット線読み出し電位 V B L X を演算増幅器 O P 1 0 (ヴォルテージフォロア) から外部に出力する。スイッチ SW 1 0 の開閉のタイミングと演算増幅器 O P 1 0 の活性化のタイミングは前後してもよい。なお、演算増幅器 O P 1 0 の出力信号は、チップ上に形成されたパッド電極やパッケージの未使用端子を介して外部に取り出される。

【 0 0 8 0 】

このサンプルホールド回路では、サンプルキャパシタ C 1 0 の容量値を、ビット線 B L の寄生容量に比べて十分小さくしておくことが重要である (例えばビット線の寄生容量の 1 0 パーセント以下)。これにより、ビット線読み出し電位に対する、サンプルホールド回路の入力容量の影響を小さくすることができ、測定精度を向上させることができる。

【 0 0 8 1 】

ここで、サンプルキャパシタ C 1 0 を小さく制限することによって、サンプルキャパシタ C 1 0 自体からのリークが顕在化し、サンプルホールド回路内部で十分な時間にわたってビット線読み出し電位を保持できなくなるという問題や、ヴォルテージフォロア (演算増幅器 O P 1 0) の電流駆動能力が不足するといった問題が起こる場合もある。このような問題を解消するためのサンプルホールド回路の構成例を図 8 (b) に示す。

【 0 0 8 2 】

図 8 (b) に示すサンプルホールド回路は、基本的には、図 8 (a) に示すサンプルホールド回路を 2 段構成にしたものである。すなわち、1 段目は、アナログスイッチ SW 2 1、サンプルキャパシタ C 2 1、および演算増幅器 O P 2 1 からなるボルテージフォロアから構成される。2 段目は、アナログスイッチ SW 2 2、サンプルキャパシタ C 2 2、および演算増幅器 O P 2 2 からなるボルテージフォロアから構成される。1 段目と 2 段目の各サンプルホールド回路の構成は、

図 8 (a) に示すものと同一である。

【 0 0 8 3 】

ただし、1 段目のサンプルホールド回路は、上述の図 8 (a) に示すものと同様に構成され、サンプルキャパシタ C 2 1 は小さな容量値を持つ。また、2 段目のサンプルホールド回路のサンプルキャパシタ C 2 2 は大きな容量値を持ち、しかも演算増幅器 O P 2 2 は大きな電流駆動能力を備える。これにより、ビット線から直接見える信号保持回路ブロック 3 1 0 の容量負荷を小さく抑えつつ、ビット線読み出し信号の電位を保持する上で必要とされる大きな容量値のサンプルキャパシタと、大きな電流駆動能力を有する演算増幅器を搭載することができる。

【 0 0 8 4 】

第 2 図に示す強誘電体メモリの構成において 1 T / 1 C 型動作を行う場合、選択されたメモリセルからデータ信号が読み出されるビット線は、対をなすビット線 B L N k , B L T k の一方だけである。したがって、サンプルホールド回路内のアナログスイッチを、ビット線切り替え用のスイッチと兼ねることで、サンプルホールド回路を構成する演算増幅器の数を削減することができる。このようなサンプルホールド回路の構成例を図 9 に示す。

【 0 0 8 5 】

図 9 において、ビット線 B L N k には、アナログスイッチとしてのトランジスタ T R 1 の電流経路の一端が接続され、ビット線 B L T k には、同じくアナログスイッチとしてのトランジスタ T R 2 の電流経路の一端が接続される。これらトランジスタ T R 1 , T R 2 の電流経路の他端は、演算増幅器 O P 3 からなるボルテージフォロアの入力部に共通接続される。この入力部と接地との間にはサンプルキャパシタ C 3 0 が接続される。トランジスタ T R 1 および T R 2 のゲートには制御信号 C N T N および C N T T がそれぞれ与えられ、これらトランジスタは相補的に導通制御される。演算増幅器 O P 3 0 は、制御信号 C N T O P A により活性状態（動作／待機）が制御される。

【 0 0 8 6 】

以下、図 1 0 に示すフローチャートに沿って、図 7 に示す強誘電体メモリ 3 0 0 のビット線読み出し電位を測定する場合を例として、この実施の形態 2 の動作

を説明する。なお、信号保持回路ブロック 3 1 0 をなす各サンプルホールド回路の構成は、図 8 (a) に示すものとする。

ステップ S 2 0 : まず、図示しない外部の試験装置により被試験対象の強誘電体メモリ 3 0 0 に対してアドレスを印加し、最初のメモリセルを選択する。

【 0 0 8 7 】

ステップ S 2 1 : 続いて、外部の試験装置から書き込みデータを印加し、メモリセルにデータを書き込む。当該強誘電体メモリが 2 値メモリである場合には、書き込みデータは「0」もしくは「1」、3 値メモリである場合には、書き込みデータは「0」, 「1」, 「2」のいずれかである。メモリセルへのデータの書き込み方法は、従来の強誘電体メモリと同じ方法でよい。

【 0 0 8 8 】

ステップ S 2 2 : 続いて、データが書き込まれたメモリセルからビット線 (B L N k または B L T k) 上に、データの読み出しを行う。データの読み出し方法も、従来の強誘電体メモリと同様である。こうしてビット線上に読み出されたデータ信号の電位をビット線読み出し電位 V B L X とする。

ステップ S 2 3 : 続いて、ビット線読み出し電位 V B L X を保持する。具体的には、制御信号 C N T S W により、スイッチ S W 1 0 を導通させ、サンプルホールド回路内部のサンプルキャパシタ C 1 0 にビット線読み出し電位 V B L X を保持する。また、制御信号 C N T O P A により演算増幅器 O P 1 0 を制御し、サンプルキャパシタ C 1 0 に保持されたビット線読み出し電位 V B L X に対応するアナログ量の電位を出力する。以下、このサンプルホールド回路の出力電位を「ビット線読み出し電位 V B L X (S H) 」と記す。

【 0 0 8 9 】

ステップ S 2 4 : 続いて、ビット線読み出し電位 V B L X (S H) を、外部の試験装置の A / D 変換器等に転送して A / D 変換を行い、デジタル量のビット線読み出し電位を得る。以下、デジタル量に変換されたビット線読み出し電位を「ビット線読み出し電位 V B L X (D) 」と記す。

ステップ S 2 5 : 続いて、現在選択されているメモリセルが最後のメモリセルか否かを判定する。いま、最初のメモリセルが選択された状態にあるから、最後

のメモリセルではない旨の否定的判定がなされる。

【0090】

ステップS26：上述のステップS25で、否定的判定がなされると（ステップS25：NO）、次のメモリセルを選択し、このメモリセルに対して上述のステップS21～S24の処理を同様に実行する。

その後、ステップS25において最後のメモリセルである旨の肯定的判定がなされるまで、上述のステップS21～S26の一連のループ処理を各メモリセルに対して繰り返し実行し、全メモリセルについてビット線読み出し電位VBLX（D）を得る。

以上が、図7に示す強誘電体メモリ300のビット線読み出し電位を測定する方法の例である。

【0091】

次に、上述の強誘電体メモリ300のビット線読み出し電位を測定する機能を持つ試験装置を説明する。

図11に、この試験装置400の構成例を示す。この試験装置400を用いることにより、メモリテスト等の汎用の試験装置を用いることなく、ビット線読み出し電位を測定することができる。この試験装置400は、基本的には図6に示す前述の実施の形態1にかかる試験装置200と同様の構成であるので、図6に示す構成と異なる要素についてのみ説明する。

【0092】

図11において、強誘電体メモリ300は、この試験装置400の被試験対象の半導体記憶装置である。この強誘電体メモリ300は、上述したように信号保持回路ブロック310を搭載しており、アナログ量のビット線読み出し電位VBLX（SH）を出力する。試験装置400は、図6に示す上述の構成において、参照電位発生回路250および判定部260に代え、信号保持回路制御部410およびAD変換部420を備えて構成される。

【0093】

ここで、信号保持回路制御部410は、ビット線上に読み出されたデータ信号を、強誘電体メモリ300の信号保持回路ブロック310に取り込ませるための

制御を行うものであり、上述の制御信号CNTSW, CNTOPAを発生する。
AD変換部420は、信号保持回路ブロック310から外部に出力されたビット線読み出し電位VBLX(SH)をAD変換してデジタル量のビット線読み出し電位VBLX(D)を出力するものである。

【0094】

以下、この試験装置400の動作を簡単に説明する。

制御信号発生部220、データ発生部230、アドレス発生部240、信号保持回路制御部410は、システム制御部210の制御の下に、上述の制御信号CNTMEM、書き込みデータDIN、アドレス信号Ai、および制御信号CNTSW, CNTOPAなどの各信号を発生して強誘電体メモリ300に印加する。
AD変換部420は、強誘電体メモリ300から出力されるビット線読み出し電位VBLX(SH)をAD変換して、デジタル量のビット線読み出し電位VBLX(D)を記憶部270に出力する。

【0095】

このとき、ビット線読み出し電位の測定を行ったメモリセルのアドレスAiおよび書き込みデータDINも、ビット線読み出し電位VBLX(D)と対応づけて付帯情報として記憶部270に蓄える。記憶部270に蓄積された情報(すなわちアドレスAiで指定されるメモリセルのデータ信号に対するビット線読み出し電位VBLX(D)など)は、統計処理部280によって統計処理が施され、ビット線読み出し電位の測定結果のデータベースとして保管される。

【0096】

図7に示す強誘電体メモリ300では、ビット線読み出し電位VBLXを保持するための信号保持回路ブロック310のみがチップ上に集積化されていた。これに限定されることなく、信号保持回路ブロック310に加えて、上述の試験装置400を構成するシステム制御部210、制御信号発生部220、データ発生部230、アドレス発生部240、信号保持可回路制御部410、AD変換部420、記憶部270、および統計処理部280により実現される機能、ならびに各種配線の全てもしくは一部を強誘電体メモリ300上に集積化してもよい。

以上で、本発明の実施の形態2を説明した。

【 0 0 9 7 】

なお、前述の実施の形態 1 では、メモリセルに書き込まれたデータを読み出すに際し、メモリセルのデータ保持特性（データリテンション）については特に考慮しなかったが、簡単な測定ステップの追加によりデータ保持特性を測定することが可能となる。例えば、実施の形態 1 にかかる図 5 に示すフローチャートにおいて、ステップ 1 1 とステップ S 1 2 との間に、ある一定の時間 T_{ret} をおくステップを設ければ、データ保持時間 T_{ret} が経過した後のビット線読み出し電位が測定されることとなる。従って、この時間 T_{ret} が経過した後のビット線読み出し電位から、メモリセルのデータ保持特性を把握することができる。同様に、上述の実施の形態 2 にかかる図 1 0 に示すフローチャートにおいて、ステップ S 2 1 とステップ S 2 2 との間にある一定の時間 T_{ret} をおくステップを設ければ、データ保持時間 T_{ret} が経過した後のビット線読み出し電位を測定することができる。

【 0 0 9 8 】

また、書き込みまたは読み出し動作を、例えば 1 0 の n 乗回にわたって繰り返し行った後に、ビット線読み出し電位の測定を行えば、繰り返し動作に対する耐性を測定することができる。このように、データ保持特性や繰り返し動作の耐性といった半導体記憶装置の信頼性試験に適用することもでき、半導体記憶装置の高信頼化にも役立てることができる。

【 0 0 9 9 】

さらに、上述した実施の形態 1 および 2 において、ビット線読み出し電位の測定を、通常のメモリ動作と同様の手順によって行うことができる。すなわち、図 5 および図 1 0 に示されるフローチャートから理解されるように、被試験対象の強誘電体メモリに対して電氣的な入力信号を印加し、その出力信号をモニターするだけでよく、メモリテスト等の既存の装置のみを用いてビット線読み出し電位の測定を行うことができる。すなわち、時間のかかる半導体記憶装置の内部節点への探針を立てる作業が必要なく、また高価な EB テスター等の装置を用いる必要もない。したがって、ビット線読み出し電位の測定を低コストで行うことができる。

【 0 1 0 0 】

さらに、上述の実施の形態 1 および 2 によれば、第 1 に、ビット線読み出し電位の測定時にビット線に付加される測定系の負荷は、トランジスタ 1 個程度、もしくはビット線容量に対して十分小さい容量値を持つサンプルキャパシタのみである。このため、測定系に起因するビット線の容量負荷の増加は無視できる。第 2 に、電流負荷は用いていない。第 3 に、ビット線上にデータが読み出されている期間は、従来の半導体記憶装置の動作とほぼ同程度の期間でよい。例えば、上述の実施の形態 1 の場合、図 1 3 の従来装置の動作タイミングチャートと、図 4 の本発明の動作タイミングチャートを見比べてみれば、データ信号がビット線上に読み出されている期間にほとんど差がないことが容易にわかる。上述の実施の形態 2 の場合には、ビット線上にデータが読み出されている期間は、サンプルホールド回路に該ビット線読み出し電位を転送する時間の分だけでよい。そのため、これも従来の半導体記憶装置の動作とほぼ同じでよい。したがって、ビット線のリーク等による読み出し電位の変動の影響もなく、正確なビット線読み出し電位の測定が可能となる。

【 0 1 0 1 】

以上、この発明の一実施の形態を説明したが、この発明は、この実施の形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。例えば、上述の実施の形態 1 では、互いに対をなすビット線の一方に参照電位が現れる構成を有する強誘電体メモリを例としたが、これに限定されることなく、メモリセルアレイ外で参照電位を生成する形式の半導体記憶装置に適用することも可能である。

また、上述の実施の形態 2 では、サンプルホールド回路によりビット線読み出し電位を保持するものとしたが、これに限定されることなく、例えばソースフォロアを構成するトランジスタのゲートで各ビット線読み出し電位を受け、そのソースを外部に引き出すようにしてもよい。

【 0 1 0 2 】

【発明の効果】

以上説明したように、この発明によれば、以下の効果を得ることができる。

すなわち、半導体記憶装置において、装置外部から指定された電位を、ビット線上に現れたデータ信号を増幅する際の基準となる参照信号の電位として設定する参照電位設定回路系を備えたので、ビット線上に現れたデータ信号と参照信号との大小を比較することにより、データ信号に影響を及ぼすことなく、前記データ信号の値を間接的に把握することが可能となる。従って、メモリセルからビット線上に読み出されたアナログ量のデータ信号の電位（ビット線読み出し電位）を精度良く測定することが可能となる。

【0103】 また、半導体記憶装置において、ビット線上に読み出されたデータ信号を取り込んで保持する信号保持回路を備えたので、データ信号に与える影響を最小限に抑えながら、データ信号の電位そのものを直接的に把握することが可能となる。従って、メモリセルからビット線上に読み出されたアナログ量のデータ信号の電位（ビット線読み出し電位）を精度良く測定することが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1にかかる強誘電体メモリの全体構成を概略的に示すブロック図である。

【図2】 本発明の実施の形態1にかかる強誘電体メモリの詳細構成を概略的に示す回路図である。

【図3】 本発明の実施の形態1にかかる参照電位設定回路の構成例を示す回路図である。

【図4】 本発明の実施の形態1にかかる強誘電体メモリのビット線読み出し電位の測定原理を説明するためのタイミングチャートである。

【図5】 本発明の実施の形態1にかかる強誘電体メモリの動作（ビット線読み出し電位の測定動作）の流れを示すフローチャートである。

【図6】 本発明の実施の形態1にかかる試験装置の構成例を示すブロック図である。

【図7】 本発明の実施の形態2にかかる強誘電体メモリの全体構成を概略的に示すブロック図である。

【図8】 本発明の実施の形態2にかかるサンプルホールド回路の構成例（

1本のビット線ごとに配置する場合)を示す回路図である。

【図9】 本発明の実施の形態2にかかるサンプルホールド回路の構成例(対をなすビット線ごとに配置する場合)を示す回路図である。

【図10】 本発明の実施の形態2にかかる強誘電体メモリの動作(ビット線読み出し電位の測定動作)の流れを示すフローチャートである。

【図11】 本発明の実施の形態2にかかる試験装置の構成例を示すブロック図である。

【図12】 従来の強誘電体メモリの構成例を示す回路図である。

【図13】 従来の強誘電体メモリの動作を説明するためのタイミングチャートである。

【図14】 従来の強誘電体メモリが抱える問題を説明するための説明図である。

【符号の説明】

- 100 : 強誘電体メモリ (半導体記憶装置)
- 110 : メモリセルアレイ
- 120 : 行デコーダ (プレートデコーダを含む)
- 130 : 列デコーダ
- 140 : センス系回路ブロック
- 150 : 参照電位設定回路ブロック
- 160 : アドレスプリデコーダ
- 170 : 制御回路 (装置全体の制御回路)
- 180 : センス系制御回路
- 181 : センスアンプ制御回路
- 182 : ビット線プリチャージ制御回路
- 183 : ダミーメモリセル制御回路
- 190 : 入出力バッファ回路
- 200 : 試験装置
- 210 : システム制御部
- 220 : 制御信号発生部

2 3 0 : データ発生部

2 4 0 : アドレス発生部

2 5 0 : 参照電位発生部

2 6 0 : 判定部

2 7 0 : 記憶部

2 8 0 : 統計処理部

3 0 0 : 強誘電体メモリ (半導体記憶装置)

3 1 0 : 信号保持回路ブロック

4 0 0 : 強誘電体メモリ (半導体記憶装置)

4 1 0 : 信号保持回路制御部

4 2 0 : AD変換部

A i : アドレス信号

B L N 1 ~ B L N n , B L T 1 ~ B L T n : ビット線

C 1 0 , C 2 1 , C 2 2 , C 3 0 : サンプルキャパシタ

C N T M E M : 制御信号 (装置全体用)

C N T R E F : 制御信号 (参照電位設定回路用)

C N T S W : 制御信号 (アナログスイッチ用)

C N T T , C N T N : 制御信号 (トランジスタ用)

C N T O P A : 制御信号 (演算増幅器用)

C O M P : フラグ信号 (ビット線読み出し電位測定用)

D C N 1 ~ D C N n , D C T 1 ~ D C T n : ダミーメモリセル

D W L N , D W L T : ダミーワード線

D B : データ線

D I N : データ (書き込みデータ)

D O U T : データ (読み出しデータ)

M C , M C 1 1 ~ M C m n : メモリセル

O P 1 0 , O P 2 1 , O P 2 2 , O P 3 0 : 演算増幅器

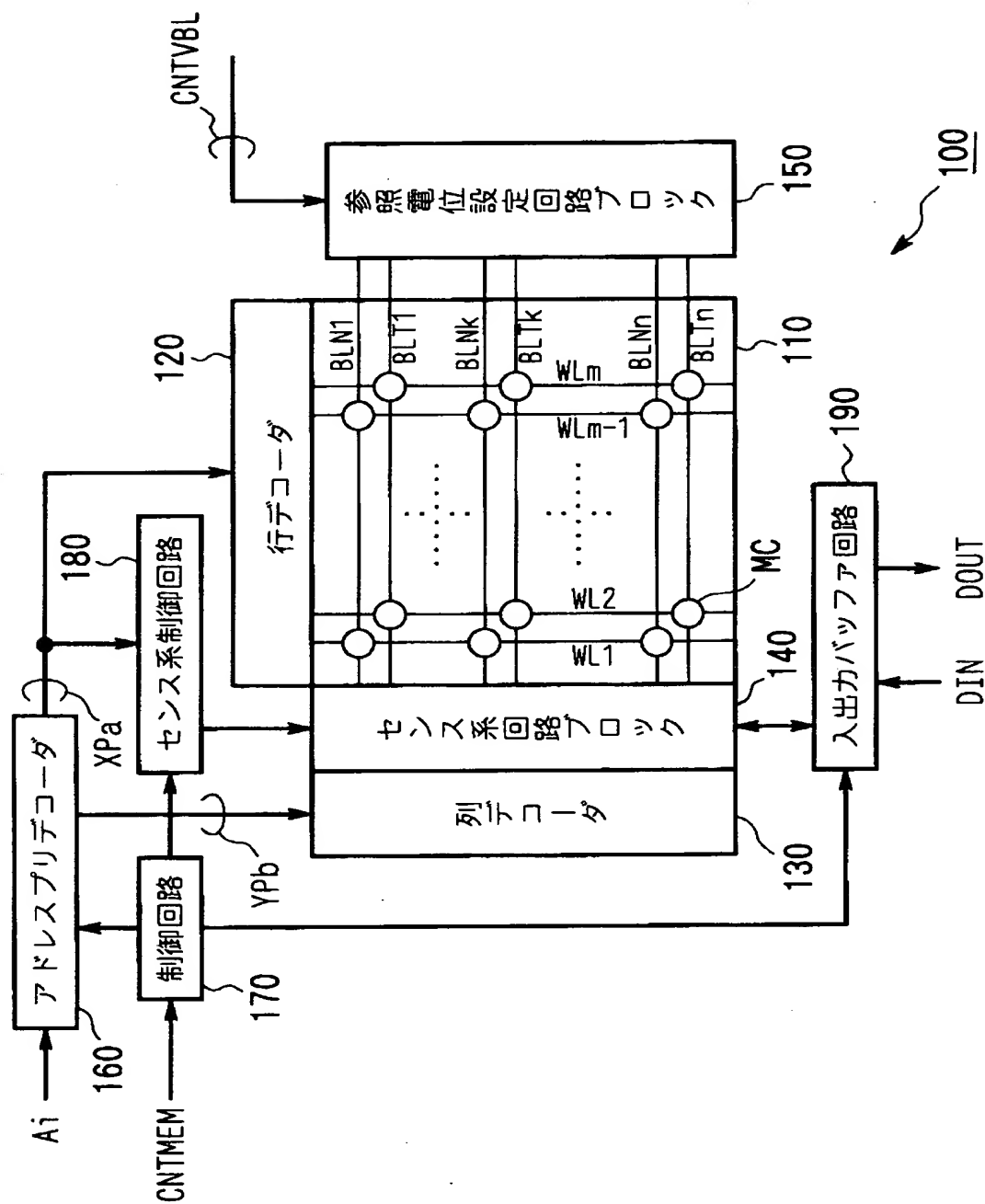
P B L : ビット線プリチャージ信号

P B L 1 ~ P B L n : ビット線プリチャージ回路

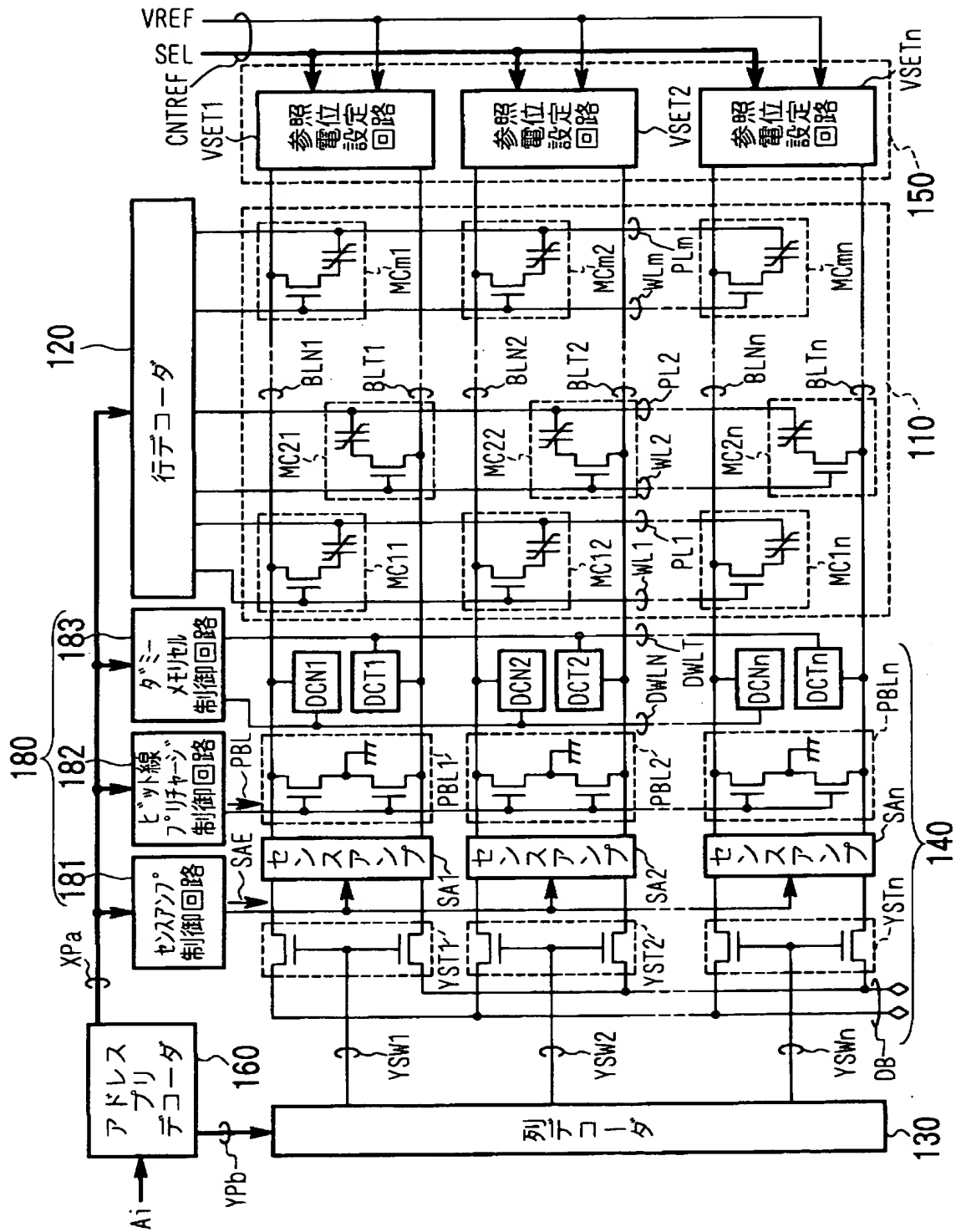
PL1～PLm：プレート線
S10～S18, S20～S26：ステップ
SA1～SAn：センスアンプ
SAE：センスアンプ活性化信号
SEL, SELN, SELT：選択制御信号
SH1～SHn：サンプルホールド回路
SW10, SW21, SW22：アナログスイッチ
T1, T2, TR1, TR2：トランジスタ
VBLX：ビット線読み出し電位
VBLX(SH)：ビット線読み出し電位（アナログ量）
VBLX(D)：ビット線読み出し電位（デジタル量）
VREF：指定参照電位
VBLREF：参照電位
VSET1～VSETn：参照電位設定回路
WL1～WLm：ワード線
XPa：行アドレスプリデコード信号
YST1～YSTn：列選択トランスファゲート
YSW1～YSWn：列選択線
YPb：列アドレスプリデコード信号

【書類名】 図面

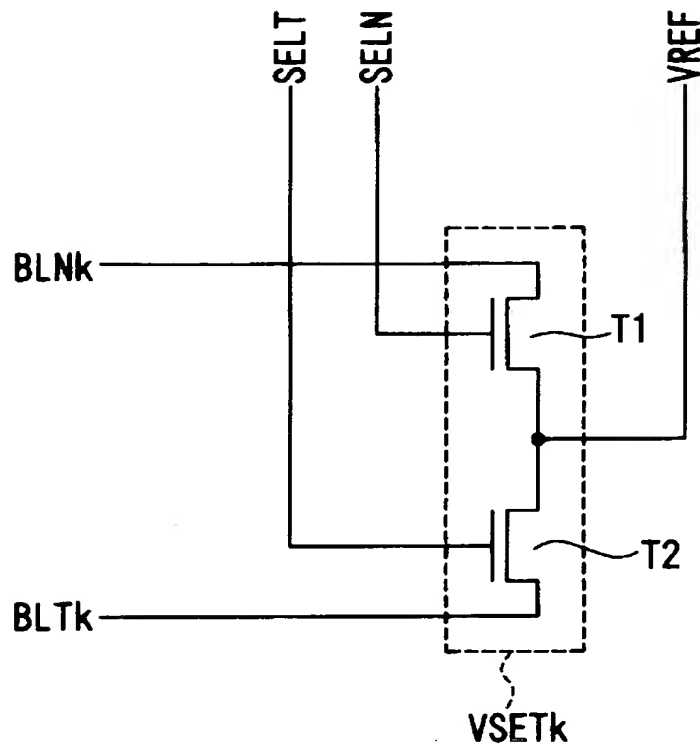
【図 1】



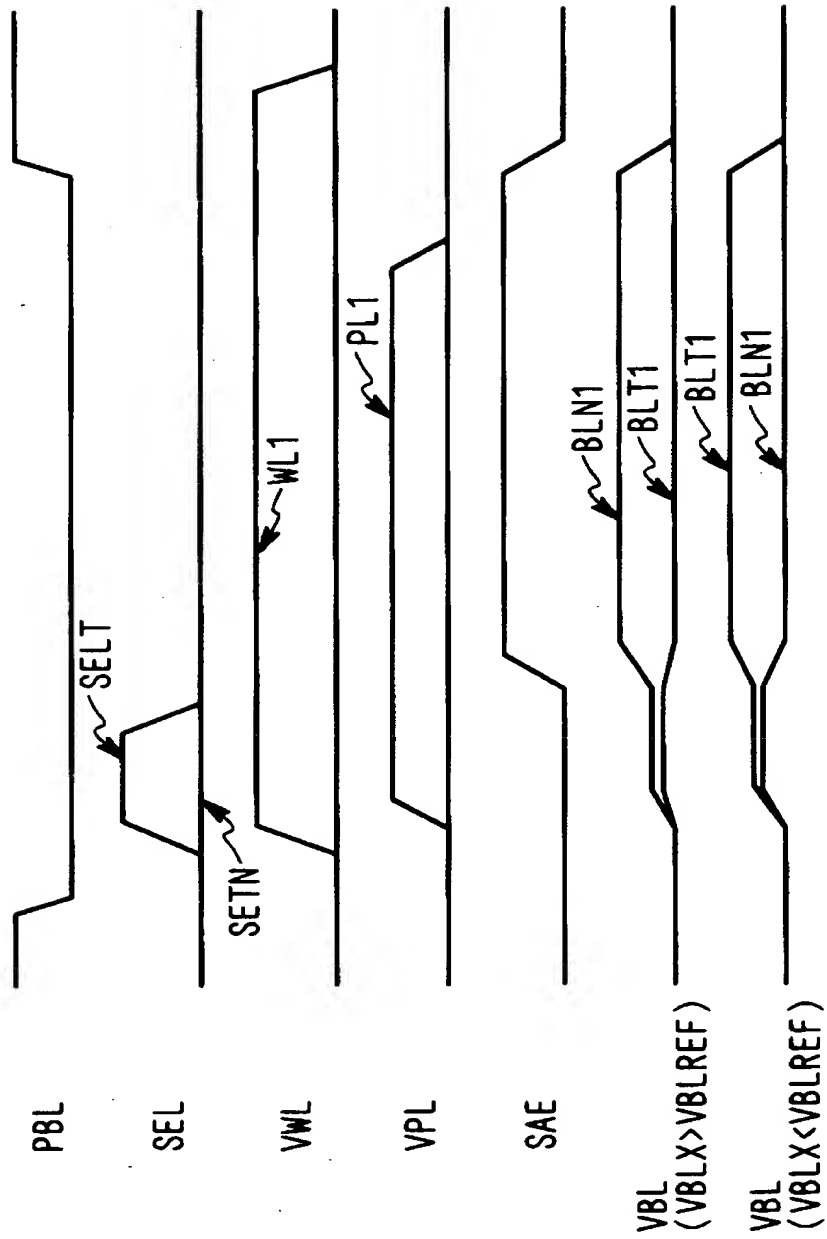
【図 2】



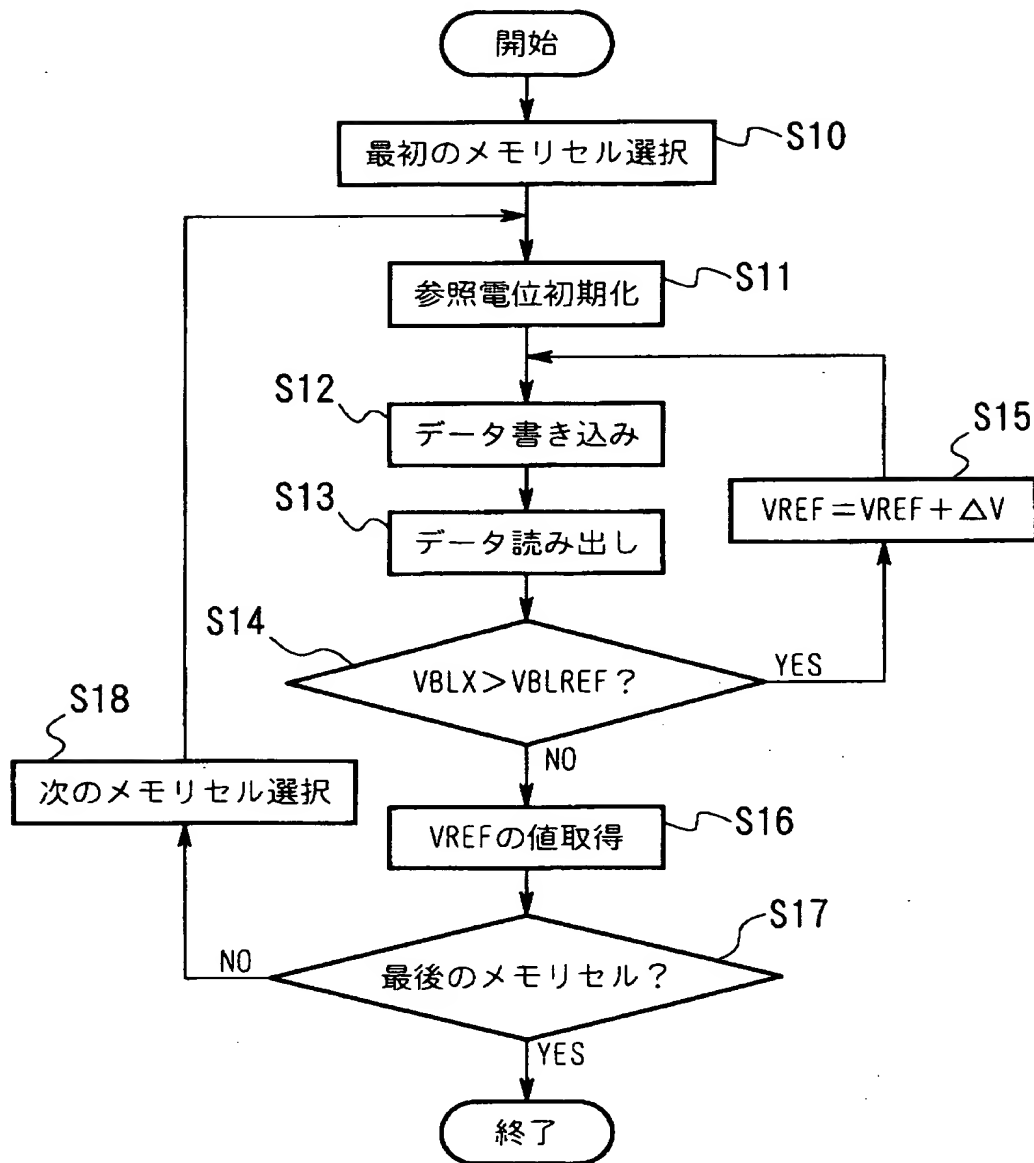
【図 3】



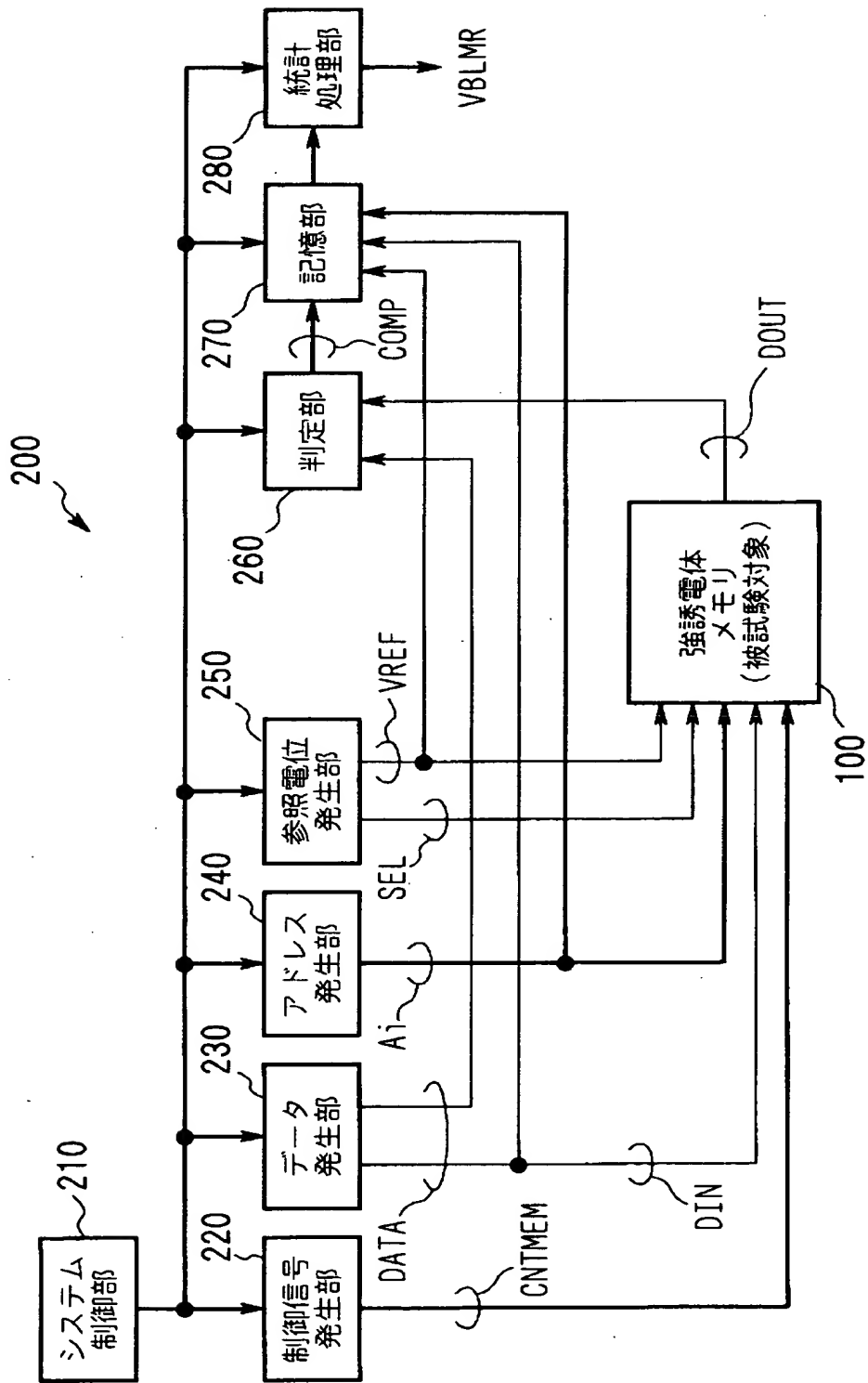
【図4】



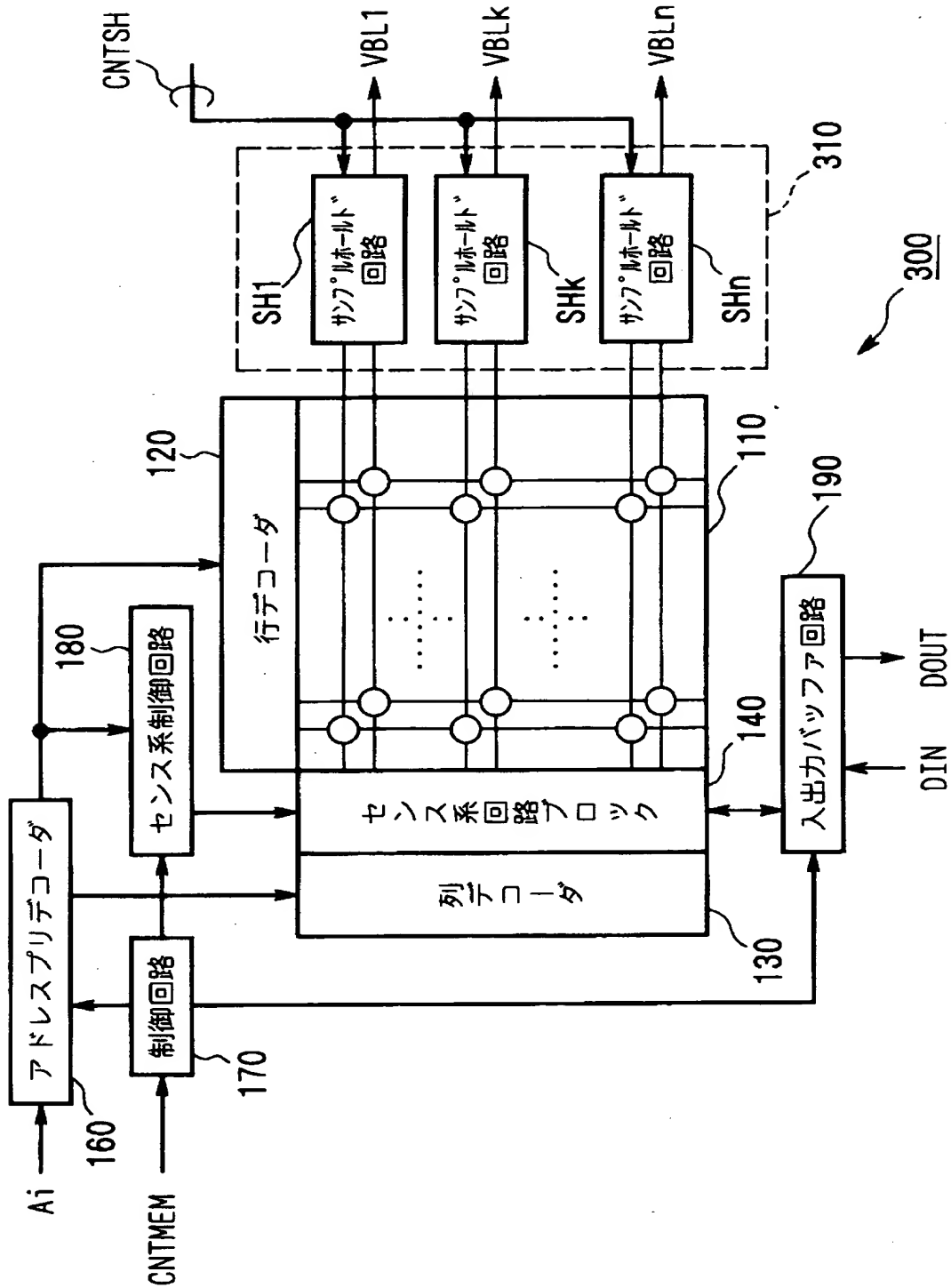
【図 5】



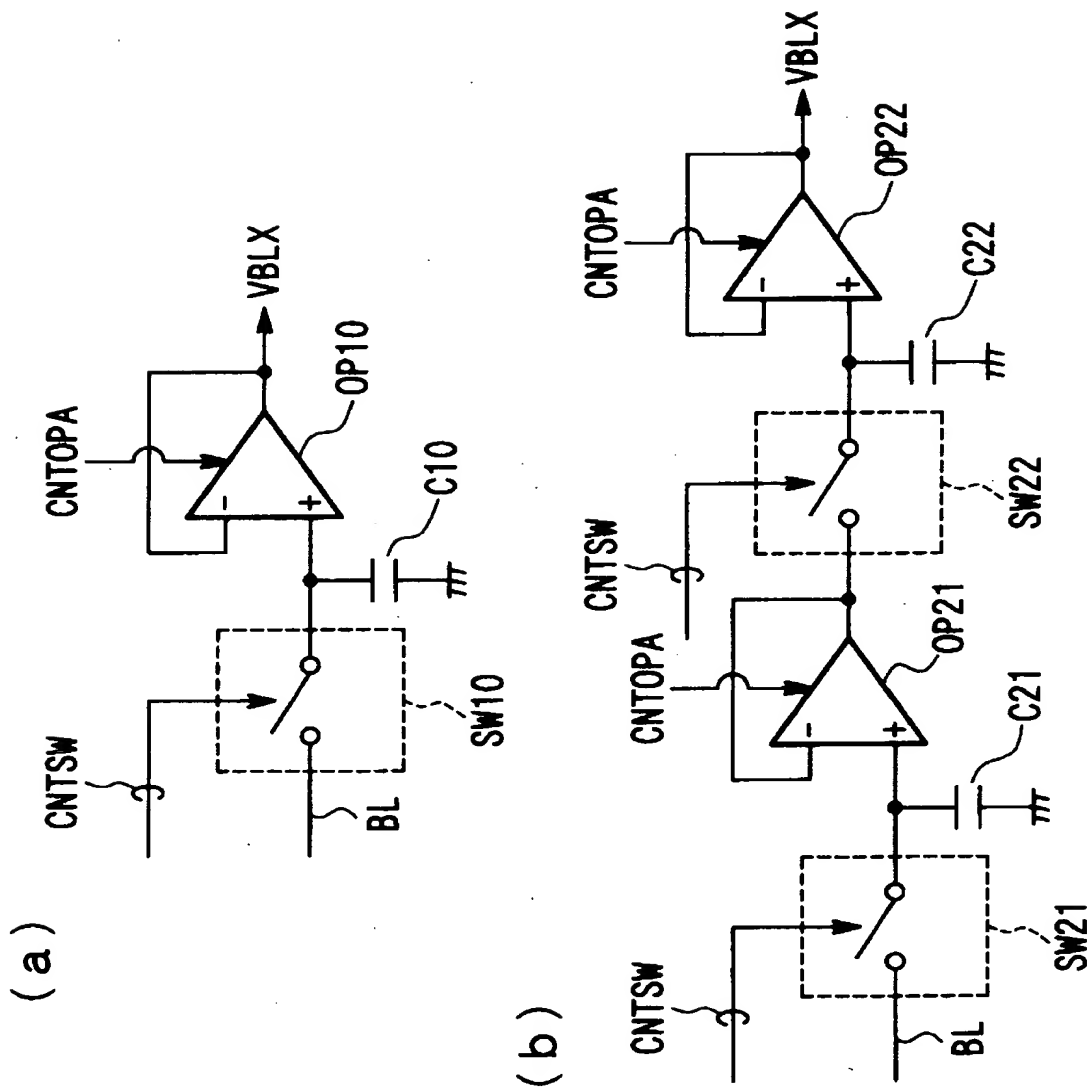
【図 6】



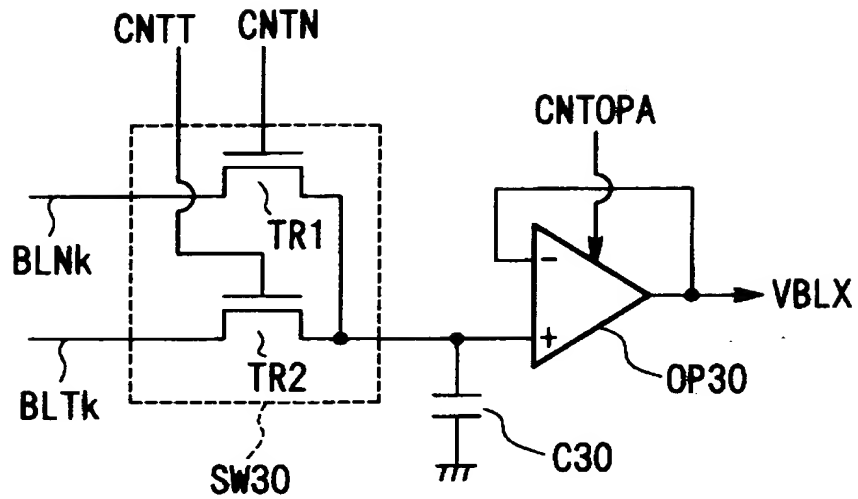
【図 7】



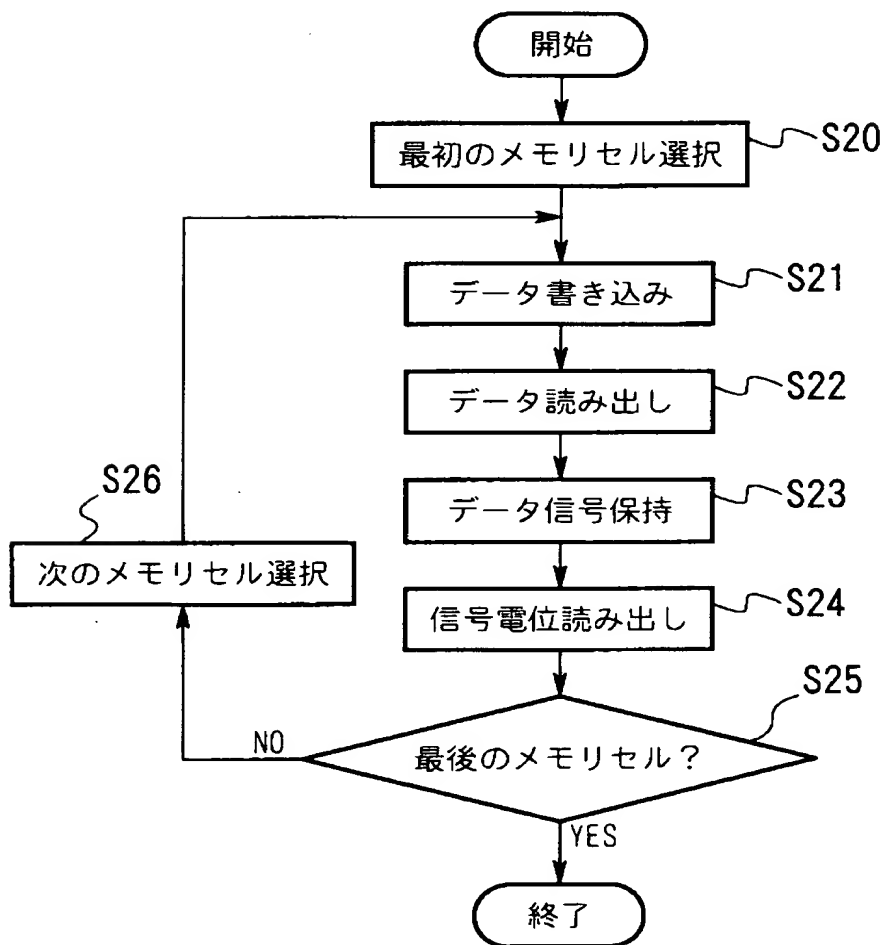
【図 8】



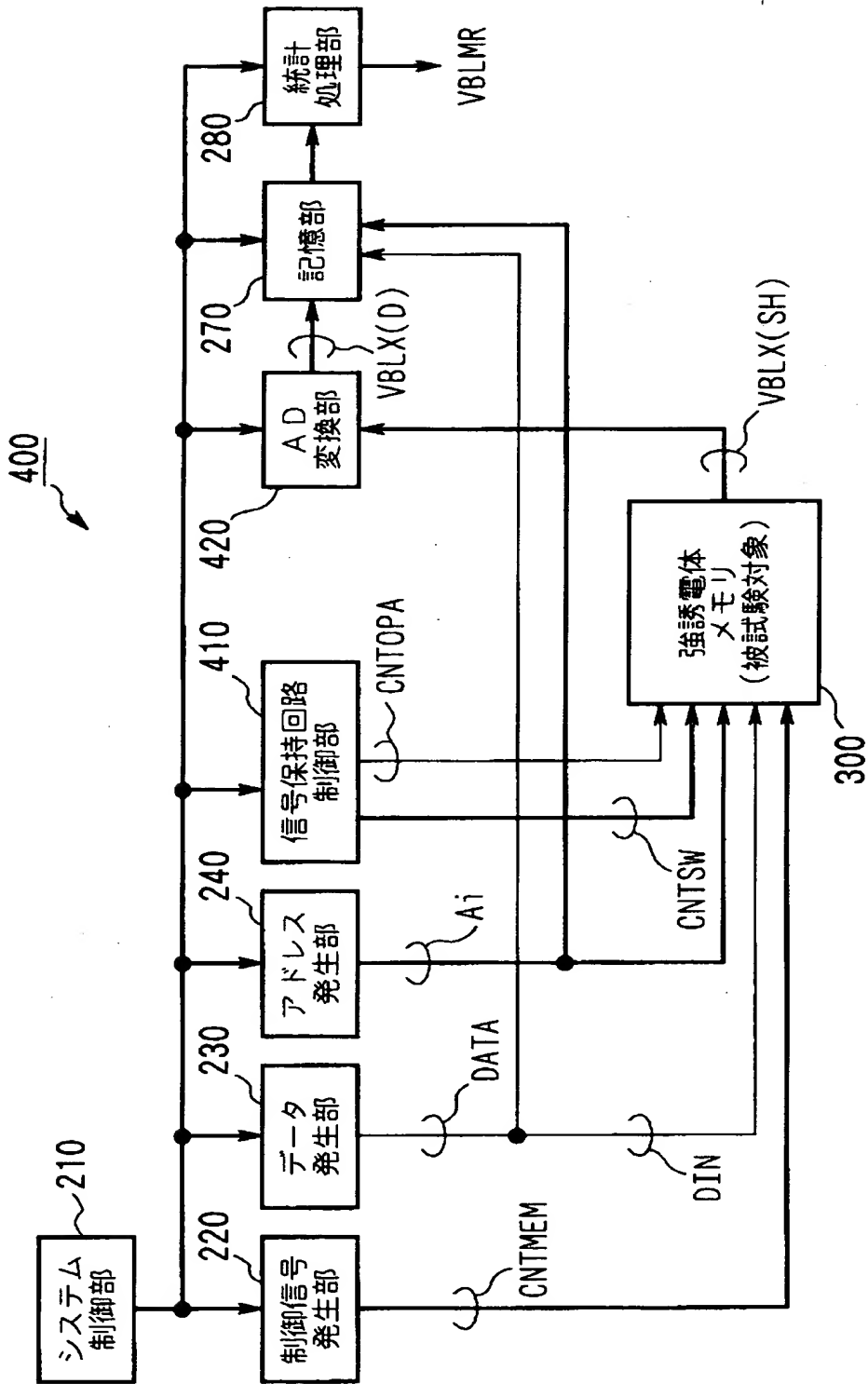
【図 9】



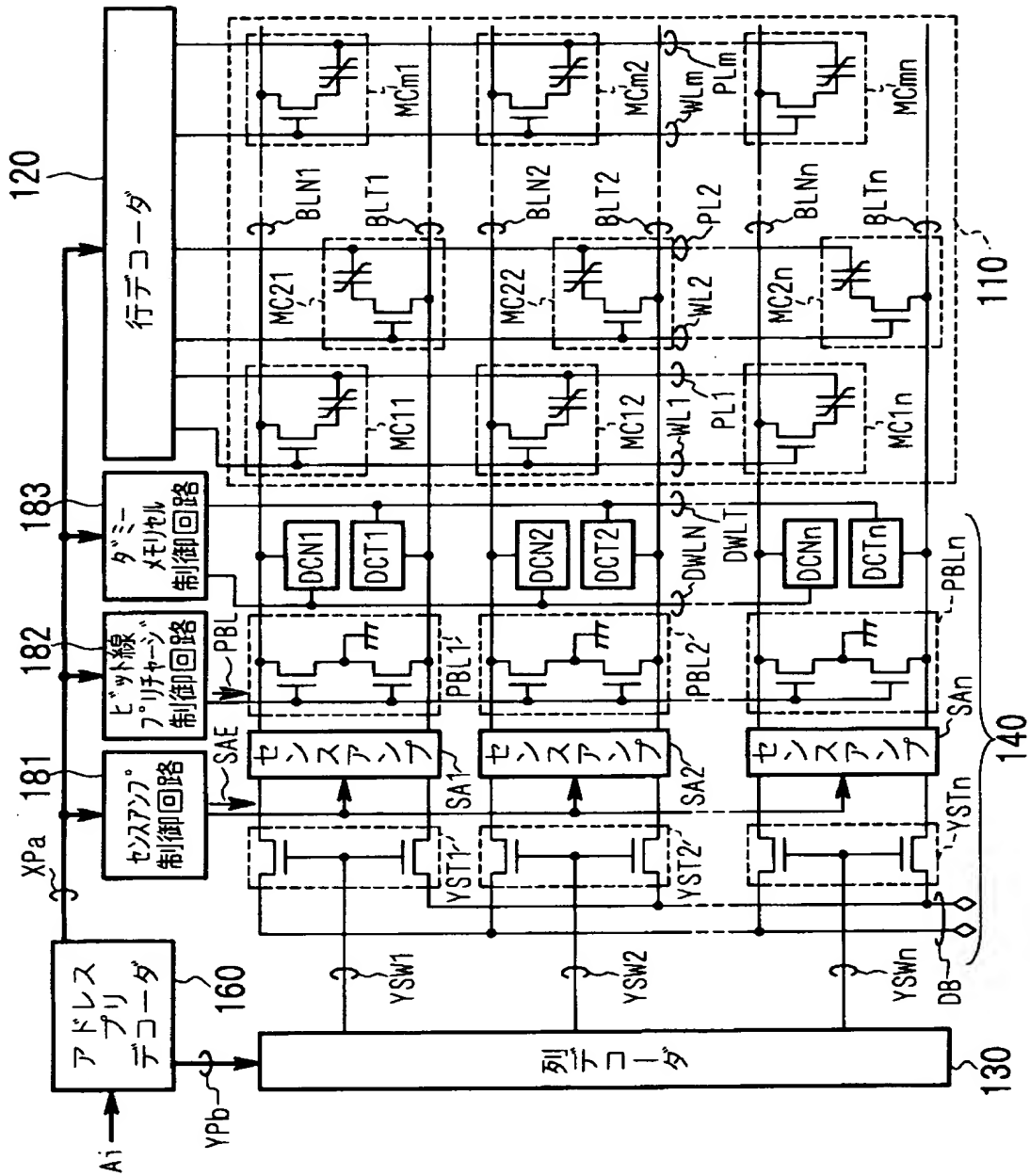
【図 10】



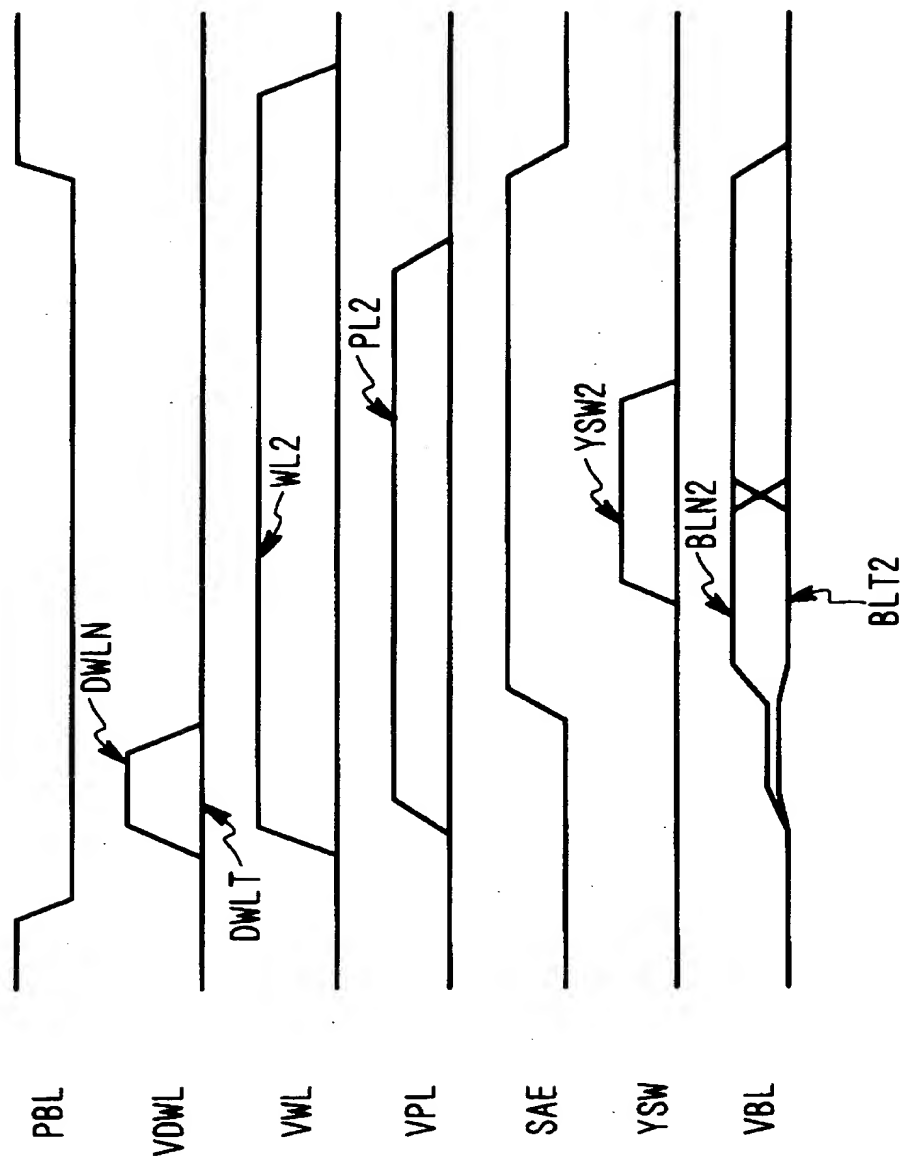
【図 11】



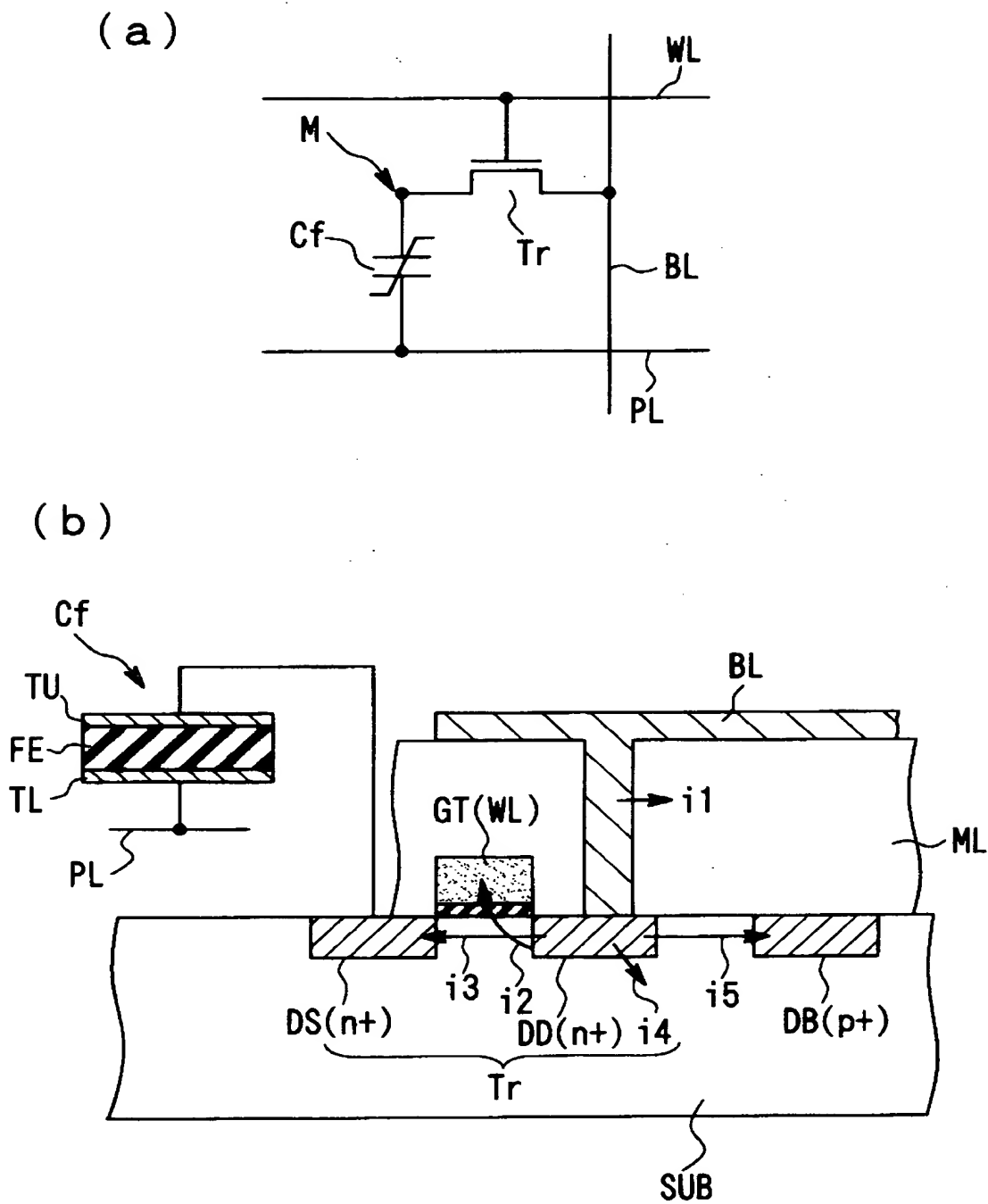
【図12】



【図13】



【图 14】



【書類名】 要約書

【要約】

【課題】 メモリセルからビット線上に読み出されたアナログ量のデータ信号の電位（ビット線読み出し電位）を精度良く測定することが可能な半導体記憶装置を提供すること。

【解決手段】 メモリセルアレイ 1 1 0 内の 1 対のビット線（例えばビット線 B L N k, B L T k）の一方に現れるデータ信号と他方に現れる参照信号とがセンス系回路ブロック 1 4 0 により差動増幅され、データの読み出しが行われる。ビット線 B L N 1, B L T 1, ～, B L N n, B L T n は、参照電位設定回路ブロック 1 5 0 に接続されている。参照電位設定回路ブロック 1 5 0 は、装置外部から指定された電位をビット線上の参照信号の電位として設定する。この参照電位設定回路ブロック 1 5 0 により参照電位を操作することにより、差動増幅の結果からビット線読み出し電位を間接的に把握する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2000-103568
受付番号	50000431136
書類名	特許願
担当官	濱谷 よし子 1614
作成日	平成12年 4月12日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目7番1号
【氏名又は名称】	日本電気株式会社

【代理人】

申請人

【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	高橋 詔男
----------	-------

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	志賀 正武
----------	-------

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	青山 正和
----------	-------

【選任した代理人】

【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	村山 靖彦
----------	-------

次頁無

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社